

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-302175

(43)Date of publication of application : 14.11.1995

(51)Int.Cl.

G06F 3/08

G06F 3/06

G06F 12/16

G11C 16/06

(21)Application number : 06-095125

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.05.1994

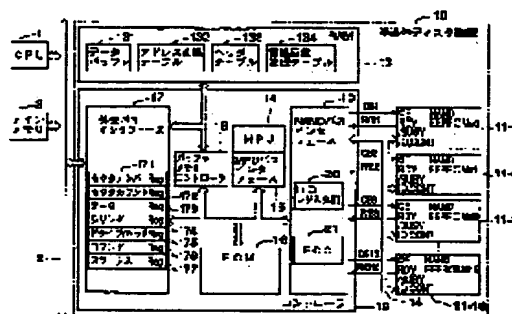
(72)Inventor : SUKAGAWA HIROSHI  
MAKI YASUNORI  
INAGAKI TAKASHI

## (54) SEMICONDUCTOR DISK DEVICE

## (57)Abstract:

PURPOSE: To improve the reliability of storage data in a flush EEPROM.

CONSTITUTION: An ECC arithmetic circuit 21 calculates data strings transferred from a data buffer 131 in the unit of 256 bytes from a processor 14 to generate an ECC corresponding to the data string. The generated ECC is added to the data string in 256 bytes and transferred to a data register of flush EEPROMs 11-1-11-16. Thus, even when a defective cell of the same bit location of plural pages of the flush EEPROMs takes place, the defective cell including the data string being an object of ECC operation is only one. Thus, error check and correction are implemented by the usual simple ECC arithmetic operation without using a complicated ECC arithmetic equation having a high data recovery capability and then the semiconductor disk device 10 with high storage reliability and capable of high speed access is realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

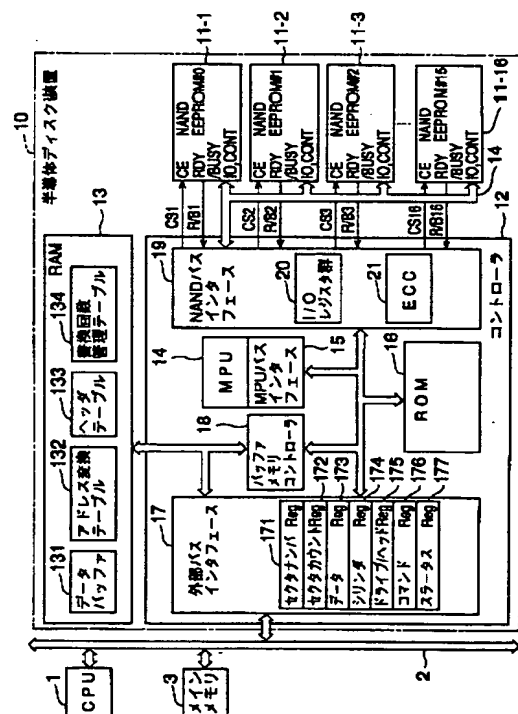
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号



## 【特許請求の範囲】

【請求項1】 データ記憶領域および冗長領域を各々が含む複数のページを有するメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、データレジスタとメモリセルアレイ間のデータ転送がページ単位で実行されるフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、

前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、

前記ホスト装置からのライト要求に応答して、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、

このライトアクセス手段は、

前記データバッファに格納されているライトデータを前記各ページのデータ記憶領域のサイズに相当するデータ列単位で演算して、データ列毎に誤り訂正符号を生成する誤り訂正符号生成手段と、

前記データ列およびそれに対応する誤り訂正符号が同一ページのデータ記憶領域および冗長領域に書き込まれるように、データ列毎にそれに対応する誤り訂正符号を付加して前記フラッシュEEPROMのデータレジスタに転送する手段とを含むことを特徴とする半導体ディスク装置。

【請求項2】 前記ホスト装置からのリード要求に応答して、前記フラッシュEEPROMをリードアクセスするリードアクセス手段をさらに具備し、

このリードアクセス手段は、

前記フラッシュEEPROMから読み出される各ページの誤り訂正符号を演算して、各ページのデータ列毎に誤り検出および訂正を実行する誤り訂正符号演算手段を含むことを特徴とする請求項1記載の半導体ディスク装置。

【請求項3】 前記ホスト装置から指定される不良セクタを示す不良セクタ情報を、その不良セクタに対応するページの冗長領域に書き込む手段をさらに具備することを特徴とする請求項1記載の半導体ディスク装置。

【請求項4】 前記ホスト装置から指定されるECCエラー発生セクタを示すエラー情報を、そのエラー発生セクタに対応するページの冗長領域に書き込む手段をさらに具備することを特徴とする請求項1記載の半導体ディスク装置。

【請求項5】 前記ホスト装置によって実行されるプログラムが格納されたROMをさらに具備し、

前記ホスト装置からの所定番地のリード要求に応答して前記ROMから前記ホスト装置にプログラムが転送されるように構成されていることを特徴とする請求項1記載の半導体ディスク装置。

【請求項6】 データ記憶領域および冗長領域を各々が含む複数のページを有するメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、データレジスタとメモリセルアレイ間のデータ転送がページ単位で実行されるフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、

マイクロプロセッサと、

10 前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、

前記マイクロプロセッサによって制御され、前記フラッシュEEPROMをリード／ライトアクセスするフラッシュメモリインタフェース回路と、

前記マイクロプロセッサによってリード／ライト可能なI/Oレジスタ群とを具備し、

前記フラッシュメモリインタフェース回路は、

20 前記マイクロプロセッサによって前記データバッファから前記各ページのデータ記憶領域のサイズに相当するデータ列単位で読み出されるライトデータを演算して、データ列毎に誤り訂正符号を生成する誤り訂正符号生成回路と、

前記データ列およびそれに対応する誤り訂正符号が同一ページのデータ記憶領域および冗長領域に書き込まれるように、データ列毎にそれに対応する誤り訂正符号を付加して前記フラッシュEEPROMのデータレジスタに転送するライトデータ転送回路と、

30 前記フラッシュEEPROMのデータレジスタから読み出されるリードデータから前記データ記憶領域に格納されていたデータ列を取り出して前記データバッファに転送するリードデータ転送回路と、

前記リードデータに含まれる誤り訂正符号を利用して前記リードデータの誤り検出を実行し、その検出結果を前記I/Oレジスタにセットする誤り訂正符号チェック回路とを含み、

前記マイクロプロセッサは、

前記I/Oレジスタにセットされた演算結果に従って、前記データバッファに転送されたリードデータの誤り訂正を実行することを特徴とする半導体ディスク装置。

【請求項7】 データ記憶領域および冗長領域を各々が含む複数のページをそれぞれ有する複数のブロックを含み、各ブロックの所定ページの冗長領域にそのブロックの書換回数を示す書換回数情報が格納されるメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、データレジスタとメモリセルアレイ間のデータ転送がページ単位で実行され、消去動作がブロック単位で実行されるフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置

であって、  
前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、  
前記ホスト装置からのライト要求に応答して、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、  
このライトアクセス手段は、  
前記ライト要求によって指定されるライト対象ブロック内の前記所定ページから書換回数情報を読み出し、その書換回数情報の値を更新する手段と、  
前記所定ページに書き込むべきライトデータに前記更新された書換回数情報を付加してページデータを生成し、前記ライトデータおよび前記更新された書換回数情報が前記所定ページのデータ記憶領域および冗長領域に格納されるように、前記ページデータを前記フラッシュEEPROMのデータレジスタに転送する手段とを具備することを特徴とする半導体ディスク装置。

【請求項 8】 データ記憶領域および冗長領域を各々を含む複数のページをそれぞれ有する複数のブロックを含み、各ブロックの所定ページの冗長領域にそのブロックの書換回数を示す書換回数情報が格納されるメモリセルアレイと、1 ページ分のデータを保持するデータレジスタとを有し、外部からのコマンドに応答して、ブロック単位で記憶内容を消去する消去動作、メモリセルアレイにページ単位でデータを書込むライト動作、およびメモリセルアレイからページ単位でデータを読み出すリード動作を実行するフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、  
前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、  
前記ホスト装置からのライト要求に応答して、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、  
このライトアクセス手段は、  
リードコマンドを発行して前記フラッシュEEPROMをリード動作モードに設定し、前記ライト要求によって指定されたライト対象ブロック内の前記所定ページから書換回数情報を読み出し、その書換回数情報の値を更新する手段と、  
ライト対象ブロック内にライトアクセス対象外のページが存在する際、そのライトアクセス対象外のページに格納されているデータを前記データバッファ上に読み出し、その読み出したデータのデータバッファ上のアドレスと前記データバッファに格納されているライトデータのアドレスとに基づいて前記ライト対象のブロックに書き込むべき 1 ブロック分のブロックデータを構成するデ

ータそれぞれのデータバッファ上の格納位置を示すアドレス情報を保持するヘッダテーブルを生成する手段と、イレースコマンドを発行して前記フラッシュEEPROMを消去動作モードに設定し、前記ライト対象ブロックの記憶内容を消去する手段と、  
前記ヘッダテーブルのアドレス情報を参照して、前記データバッファから前記所定ページに書き込むべきライトデータを読み出し、そのライトデータに前記更新された書換回数情報を付加してページデータを生成し、前記ライトデータおよび前記更新された書換回数情報が前記所定ページのデータ記憶領域および冗長領域に格納されるように、前記ページデータを前記フラッシュEEPROMのデータレジスタに転送する手段と、  
前記ヘッダテーブルのアドレス情報を参照して、前記データバッファから前記所定ページ以外に書き込むべきライトデータを順次読み出し、それを前記フラッシュEEPROMのデータレジスタに転送する手段とを含むことを特徴とする半導体ディスク装置。

【請求項 9】 データ記憶領域および冗長領域を各々を含む複数のページをそれぞれ有する複数のブロックを含み、各ブロックの所定ページの冗長領域にそのブロックの書換回数を示す書換回数情報が格納されるメモリセルアレイと、1 ページ分のデータを保持するデータレジスタとを有し、外部からのコマンドに応答して、ブロック単位で記憶内容を消去する消去動作、メモリセルアレイにページ単位でデータを書込むライト動作、およびメモリセルアレイからページ単位でデータを読み出すリード動作を実行するフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、  
前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、  
前記ホスト装置からのライト要求に応答して、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、  
このライトアクセス手段は、  
リードコマンドを発行して前記フラッシュEEPROMをリード動作モードに設定し、前記ライト要求によって指定されたライト対象ブロック内の前記所定ページから書換回数情報を読み出し、その書換回数情報の値を更新する手段と、  
ライト対象ブロック内にライトアクセス対象外のページが存在する際、そのライトアクセス対象外のページに格納されているデータを前記データバッファ上に読み出し、その読み出したデータのデータバッファ上のアドレスと前記データバッファに格納されているライトデータのデータの前記データバッファ上のアドレスとに基づいて前記ライト対象のブロックに書き込むべき 1 ブロック分の

ブロックデータを構成するデータそれぞれのデータバッファ上の格納位置を示すアドレス情報を保持するヘッダテーブルを生成する手段と、

イレースコマンドを発行して前記フラッシュEEPROMを消去動作モードに設定し、前記ライト対象ブロックの記憶内容を消去する手段と、

前記ヘッダテーブルのアドレス情報を参照して、前記データバッファから前記ブロックデータを前記データ記憶領域のサイズに相当するデータ列単位で順次読み出す手段と、

前記データバッファから読み出されるデータ列毎に誤り訂正符号を生成する誤り訂正符号生成手段と、

前記所定ページに書き込むべきデータ列にそのデータ列に対応する誤り訂正符号、および前記更新された書換回数情報を付加してページデータを生成し、前記データ列が前記所定ページのデータ記憶領域、前記更新された書換回数情報および誤り訂正符号が前記所定ページの冗長領域に書き込まれるように、前記生成したページデータを前記フラッシュEEPROMのデータレジスタに転送する手段と、

前記所定ページ以外の他のページ毎に、そのページに書き込むべきデータ列にそのデータ列に対応する誤り訂正符号を付加してページデータを生成し、前記データ列および誤り訂正符号が各ページのデータ記憶領域および冗長領域に書き込まれるように、前記生成したページデータを前記フラッシュEEPROMのデータレジスタに転送する手段とを含むことを特徴とする半導体ディスク装置。

【請求項10】 データ記憶領域および冗長領域を各々が含む複数のページをそれぞれ有する複数のブロックを含み、各ブロックの書換回数を示す書換回数データの上位ビット部から構成される第1の書換回数データが所定ブロックに格納され、各ブロックの所定ページの冗長領域にそのブロックに対応する書換回数データの下位ビット部から構成される第2の書換回数データが格納されるメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、外部からのコマンドにตอบสนองして、ブロック単位で記憶内容を消去する消去動作、メモリセルアレイにページ単位でデータを書込むライト動作、およびメモリセルアレイからページ単位でデータを読み出すリード動作を実行するフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、

前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、

リードコマンドを発行して前記フラッシュEEPROMをリード動作モードに設定して前記所定ブロックから第1の書換回数データを読み出し、その第1の書換回数デ

ータに従って前記フラッシュEEPROMの書換回数をブロック毎に管理する書換回数管理手段と、

前記ホスト装置からのライト要求にตอบสนองして、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、

このライトアクセス手段は、

リードコマンドを発行して前記フラッシュEEPROMをリード動作モードに設定し、前記ライト要求によって指定されたライト対象ブロック内の前記所定ページから第2の書換回数データを読み出し、その第2の書換回数データの値を更新する手段と、

ライト対象ブロック内におけるライトアクセス対象外のページに格納されているデータを前記データバッファ上に読み出し、その読み出したデータのデータバッファ上のアドレスと前記データバッファに格納されているライトデータのアドレスとに基づいて前記ライト対象のブロックに書き込むべき1ブロック分のブロックデータを構成するデータそれぞれのデータバッファ上の格納位置を示すアドレス情報を保持するヘッダテーブルを生成する手段と、

イレースコマンドを発行して前記フラッシュEEPROMを消去動作モードに設定し、前記ライト対象ブロックの記憶内容を消去する手段と、

前記ヘッダテーブルのアドレス情報を参照して、前記データバッファからページ単位で前記ブロックデータを読み出して前記フラッシュEEPROMのデータレジスタに転送する手段とを含み、

前記書換回数管理手段は、前記第2の書換回数データの更新によってその第2の書換回数データから前記第1の書換回数データへの桁上がりが発生した際、前記ライト対象ブロックに対応する第1の書換回数データの値を更新する手段とを含むことを特徴とする半導体ディスク装置。

【請求項11】 前記書換回数管理手段は、前記ライト対象ブロックの第1の書換回数データの値が更新された際、そのライト対象ブロックとの書換回数の差が所定値以上に達するブロックをスワッピング先ブロックとして決定する手段と、

前記ライト対象ブロックと前記スワッピング先ブロックのブロックアドレスおよび記憶内容を互いに入れ替えるスワッピング手段とをさらに具備することを特徴とする請求項10記載の半導体ディスク装置。

【請求項12】 前記複数のブロックの所定ページの冗長領域には、前記第2の書換回数データの初期値として、それぞれ離散的な値が格納されていることを特徴とする請求項11記載の半導体ディスク装置。

【請求項13】 前記所定ブロックには、前記複数のブロックの中で最小の第1の書換回数データの値を示す最小書換回数情報と、前記第1の書換回数データの値に応じてスワッピング先ブロックの優先順位を示す優先順位情

報とを保持するスワッピングテーブルが格納されており、  
前記書換回数管理手段は、  
前記ライト対象ブロックの第1の書換回数データの値が更新された際、そのライト対象ブロックの書換回数と前記スワッピングテーブルの最小書換回数情報の示す値とを比較し、その書換回数の差が所定値以上か否かを判定する手段と、  
書換回数の差が所定値以上の時、前記スワッピングテーブルの前記優先順位情報を参照して最優先度のスワッピング先ブロックを決定し、前記ライト対象ブロックと前記最優先度のスワッピング先ブロックとのブロックアドレスおよび記憶内容を互いに入れ替えるスワッピング手段とをさらに具備することを特徴とする請求項10記載の半導体ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体ディスク装置に関し、特にデータ記憶領域および冗長領域を各々が含む複数のページ領域を有するフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置に関する。

【0002】

【従来の技術】従来のワークステーションやパーソナルコンピュータ等の情報処理装置の多くは、2次記憶装置として磁気ディスク装置を用いていた。磁気ディスク装置は、記録の信頼性が高い、ビット単価が安いなどの利点がある反面、装置のサイズが大きい、物理的な衝撃に弱いなどの欠点を持つ。

【0003】そこで、近年、装置のサイズが小さく物理的な衝撃にも強い半導体ディスク装置に注目が集まっている。半導体ディスク装置とは、電氣的に一括消去が可能な不揮発性の半導体メモリであるフラッシュEEPROMを、従来の磁気ディスク装置などと同様にパーソナルコンピュータなどの2次記憶装置として用いるものである。この半導体ディスク装置には、磁気ディスク装置の磁気ヘッドや回転ディスクのような機械的な可動部分を含まないため、物理的な衝撃による誤動作や故障が発生しにくい。また、装置としてのサイズも小さくなる等の利点がある。

【0004】ところで、通常、半導体ディスク装置においては、ECC演算機能が設けられており、フラッシュEEPROMに書き込まれるデータには、そのデータ内容に対応するECCが生成されて付加される。このECC演算機能を利用することにより、フラッシュEEPROMに書き込まれるデータの信頼性を高める事ができる。

【0005】ECC演算機能機能を持つ従来の半導体ディスク装置で採用されている典型的なデータ格納形式を

図21に示す

従来では、ホスト装置によるディスクアクセス単位であるセクタ毎にECCが生成される。このため、図21に示されているように、512バイトのサイズを持つセクタデータがフラッシュEEPROMの2ページに亘って格納される場合には、そのセクタデータに後続する位置にECCが格納されている。セクタデータがフラッシュEEPROMの何ページに亘って格納されるかはフラッシュEEPROMの物理的サイズによって決定されるが、現在開発されている最もサイズの大きい16MビットのフラッシュEEPROMを使用した場合には、512バイトのセクタデータは、図示のように、フラッシュEEPROM1の2ページに亘って格納されることになる。

【0006】この場合、その2ページに亘るセクタデータが演算されてECCが生成される。この生成されたECCは、セクタデータに後続して第2ページ目に格納される。

【0007】しかしながら、このようなデータ格納形式を使用した従来の半導体ディスク装置においては、フラッシュEEPROMがもつ以下のようなエラー発生特性を考慮すると、データ記憶の信頼性が低下される等の不具合が生じる。

【0008】すなわち、フラッシュEEPROMを初めとする半導体メモリにおいては、ある特定のメモリセルだけでなく、同一ビット線に接続される複数個のメモリセルに同時に不良が発生するというエラーモードが存在する。このエラーモードは、例えば、ビット線の不良や、ビット線とセルとの間のコンタクト不良などによって引き起こされる。

【0009】このようなエラーモードが発生した場合、図21に示されているように、フラッシュEEPROMの複数ページそれぞれの同一ビット位置に不良セルが発生される。この場合、従来の半導体ディスク装置においては、ECC演算の対象となるデータ列に図示のように2箇所エラーが発生されることになる。

【0010】一般に、ECCを利用したエラー検出および訂正では、エラーが1箇所の場合はそのエラーの検出および訂正を容易に行うことができるが、2箇所以上のエラーについてはその検出および訂正が困難となる。このようなエラーに対応するためには、データ回復能力の高い複雑なECC演算式が必要とされる。

【0011】しかし、ECC演算式を複雑にすると、半導体ディスク装置の構成が複雑化されると共に、そのデータライト時のECCの生成およびデータリード時のECCチェック演算に多くの時間を要するため半導体ディスク装置のアクセス速度が低下されるという欠点が引き起こされる。

【0012】また、従来の半導体ディスク装置では、ECCの生成、ECCチェック演算だけでなく、その演算

結果に基づくエラー検出およびエラー訂正処理も全てハードウェアによって実行されていた。このため、そのハードウェアを実現するためのゲート数が増大したり、ハードウェアの複雑化によって結果的にリード/ライト速度が低下されるといった問題があった。

【0013】さらに、従来の半導体ディスク装置では、フラッシュEEPROMの各ブロックの書き換え回数は、そのフラッシュEEPROMの特定のブロックに格納された書換回数情報によって一括管理されている。このため、フラッシュEEPROMにデータを書き込む際には、データ書き込みのためのライトアクセスと書換回数情報を更新するためのライトアクセスとの2回のライトアクセスが必要とされる。したがって、データ書き込みに要する時間が長くなると共に、書換回数情報を記憶しているブロックに対するライトアクセスの回数が他のブロックに比べて突出して多くなり、これによってフラッシュEEPROMの寿命が短くなる問題があった。

【0014】

【発明が解決しようとする課題】従来の半導体ディスク装置では、フラッシュEEPROMの物理的構造が十分に考慮されていなかった。このため、ECC演算機能を設けても、十分な記憶信頼性を得る事ができなかった。また、書き換え回数情報が特定のブロックに集中して格納されているので、そのブロックの書き換え回数だけが増大し、これによってフラッシュEEPROMの寿命が短くなる欠点があった。

【0015】この発明はこのような点に鑑みてなされたもので、フラッシュEEPROMの各ページの冗長領域を有効利用してECCや書換回数情報を管理できるようにし、十分な記憶データの信頼性およびフラッシュEEPROMの高寿命化を実現することができる半導体ディスク装置を提供することを目的とする。

【0016】

【課題を解決するための手段および作用】請求項1に係る発明は、データ記憶領域および冗長領域を各々が含む複数のページを有するメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、データレジスタとメモリセルアレイ間のデータ転送がページ単位で実行されるフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、前記ホスト装置からのライト要求にตอบสนองして、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、このライトアクセス手段は、前記データバッファに格納されているライトデータを前記各ページのデータ記憶領域のサイズに相当するデータ列単位で演算して、データ列毎に誤り訂正符号を生成する誤り訂正符号生成手

段と、前記データ列およびそれに対応する誤り訂正符号が同一ページのデータ記憶領域および冗長領域に書き込まれるように、データ列毎にそれに対応する誤り訂正符号を付加して前記フラッシュEEPROMのデータレジスタに転送する手段とを含むことを特徴とする。

【0017】この半導体ディスク装置においては、フラッシュEEPROMのページ毎に誤り訂正符号が生成され、その誤り訂正符号が各ページの冗長領域に書き込まれる。このため、たとえフラッシュEEPROMの複数ページそれぞれの同一ビット位置に不良セルが発生しても、誤り訂正符号の演算対象となるデータ列に含まれる不良セルは1つだけとなる。したがって、データ回復能力の高い複雑なECC演算式を利用することなく通常の簡単なECC演算によってエラー検出および訂正を行うことが可能となり、記憶信頼性が高く、且つ高速アクセスが可能な半導体ディスク装置が実現される。

【0018】また、請求項3および請求項4に係る発明では、それぞれ誤り訂正符号だけでなく、ホスト装置から指定される不良セクタ情報やエラー情報も冗長領域に書き込む事を特徴とする。

【0019】これによって、不良セクタ情報やエラー情報を集中管理する必要がなくなるので、それら情報を格納するための専用領域を設ける必要がなくなり、フラッシュEEPROMのデータ記憶領域をユーザデータの格納のために有効利用する事ができる。

【0020】また、請求項5に係る発明は、請求項1の構成に加え、前記ホスト装置によって実行されるプログラムが格納されたROMを具備しており、前記ホスト装置からの所定番地のリード要求にตอบสนองして前記ROMから前記ホスト装置にプログラムが転送されるように構成されていることを特徴とする。

【0021】この半導体ディスク装置においては、フラッシュEEPROMの他に、アプリケーションプログラムやオペレーティングシステムなどのプログラムが格納されたROMが設けられており、このROMのプログラムは、ホスト装置から所定番地のリード要求が発行された時に読み出される。アプリケーションプログラムなどのプログラムは書換が発生しないので、そのプログラムを比較的安価なROMに格納しておく事により、高価なフラッシュEEPROMのデータ記憶領域をユーザデータの格納に有効利用する事ができる。

【0022】また、請求項6に係る発明は、データ記憶領域および冗長領域を各々が含む複数のページを有するメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、データレジスタとメモリセルアレイ間のデータ転送がページ単位で実行されるフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、マイクロプロセッサと、前記ホスト装置から転送されるライトデータお



よび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、前記マイクロプロセッサによって制御され、前記フラッシュEEPROMをリード/ライトアクセスするフラッシュメモリインタフェース回路と、前記マイクロプロセッサによってリード/ライト可能なI/Oレジスタ群とを具備し、前記フラッシュメモリインタフェース回路は、前記マイクロプロセッサによって前記データバッファから前記各ページのデータ記憶領域のサイズに相当するデータ列単位で読み出されるライトデータを演算して、データ列毎に誤り訂正符号を生成する誤り訂正符号生成回路と、前記データ列およびそれに対応する誤り訂正符号が同一ページのデータ記憶領域および冗長領域に書き込まれるように、データ列毎にそれに対応する誤り訂正符号を付加して前記フラッシュEEPROMのデータレジスタに転送するライトデータ転送回路と、前記フラッシュEEPROMのデータレジスタから読み出されるリードデータから前記データ記憶領域に格納されていたデータ列を取り出して前記データバッファに転送するリードデータ転送回路と、前記リードデータに含まれる誤り訂正符号を利用して前記リードデータの誤り検出を実行し、その検出結果を前記I/Oレジスタにセットする誤り訂正符号チェック回路とを含み、前記マイクロプロセッサは、前記I/Oレジスタにセットされた演算結果に従って、前記データバッファに転送されたリードデータの誤り訂正を実行することを特徴とする。

【0023】この半導体ディスク装置においては、フラッシュメモリインタフェース回路のハードウェアロジックによって誤り訂正符号の生成および誤り検出のためのチェックが行われ、また、マイクロプロセッサによって実行されるファームウェアによって、リードデータの誤り訂正が行われる。したがって、ファームウェアとハードウェアとによって効率的に負荷分散がなされ、ECCの生成、エラー検出のためのECCチェック演算、エラー訂正を全てハードウェアによって実行する場合よりも、ハードウェアの構成を簡化できる。

【0024】また、請求項7に係る発明は、データ記憶領域および冗長領域を各々が含む複数のページをそれぞれ有する複数のブロックを含み、各ブロックの所定ページの冗長領域にそのブロックの書換回数を示す書換回数情報が格納されるメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、データレジスタとメモリセルアレイ間のデータ転送がページ単位で実行され、消去動作がブロック単位で実行されるフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置であって、前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、前記ホスト装置からのライト要求に応答

して、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、このライトアクセス手段は、前記ライト要求によって指定されるライト対象ブロック内の前記所定ページから書換回数情報を読み出し、その書換回数情報の値を更新する手段と、前記所定ページに書き込むべきライトデータに前記更新された書換回数情報を付加してページデータを生成し、前記ライトデータおよび前記更新された書換回数情報が前記所定ページのデータ記憶領域および冗長領域に格納されるように、前記ページデータを前記フラッシュEEPROMのデータレジスタに転送する手段とを具備することを特徴とする。

【0025】この半導体ディスク装置においては、各ブロックの所定ページの冗長領域にそのブロックに対応する書換回数情報が格納されており、ライト対象ブロックに対するデータ書込みの際に、そのライト対象ブロックの書換回数情報の値が更新される。その更新された書換回数情報は、所定ページに書き込むべきライトデータに付加されてフラッシュEEPROMのデータレジスタに転送される。このように、各ブロック内で書換回数情報が管理されているので、書換回数情報を特定の領域で集中管理する必要がなくなる。このため、書換回数情報を更新するためのライトアクセスによって特定領域の書換回数が突出して増大するという問題の発生を防止できる。また、同一ブロックに対するライトアクセスだけで、データ書込みと書換回数情報の更新が行う事ができ、結果的にライトアクセス性能の向上を図る事ができる。

【0026】また、請求項8に係る発明は、データ記憶領域および冗長領域を各々が含む複数のページをそれぞれ有する複数のブロックを含み、各ブロックの所定ページの冗長領域にそのブロックの書換回数を示す書換回数情報が格納されるメモリセルアレイと、1ページ分のデータを保持するデータレジスタとを有し、外部からのコマンドにตอบสนองして、ブロック単位で記憶内容を消去する消去動作、メモリセルアレイにページ単位でデータを書込むライト動作、およびメモリセルアレイからページ単位でデータを読み出すリード動作を実行するフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じて前記フラッシュEEPROMをアクセスする半導体ディスク装置において、前記ホスト装置から転送されるライトデータおよび前記フラッシュEEPROMから読み出されたリードデータを格納するデータバッファと、前記ホスト装置からのライト要求にตอบสนองして、前記フラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、このライトアクセス手段は、リードコマンドを発行して前記フラッシュEEPROMをリード動作モードに設定し、前記ライト要求によって指定されたライト対象ブロック内の前記所定ページから書換回数情報を読み出し、その書換回数情報の値

を更新する手段と、ライト対象ブロック内にライトアクセス対象外のページが存在する際、そのライトアクセス対象外のページに格納されているデータを前記データバッファ上に読み出し、その読み出したデータのデータバッファ上のアドレスと前記データバッファに格納されているライトデータのアドレスとに基づいて前記ライト対象のブロックに書き込むべき1ブロック分のブロックデータを構成するデータそれぞれのデータバッファ上の格納位置を示すアドレス情報を保持するヘッダテーブルを生成する手段と、イレズコマンドを発行して前記フラッシュEEPROMを消去動作モードに設定し、前記ライト対象ブロックの記憶内容を消去する手段と、前記ヘッダテーブルのアドレス情報を参照して、前記データバッファから前記所定ページに書き込むべきライトデータを読み出し、そのライトデータに前記更新された書換回数情報を付加してページデータを生成し、前記ライトデータおよび前記更新された書換回数情報が前記所定ページのデータ記憶領域および冗長領域に格納されるように、前記ページデータを前記フラッシュEEPROMのデータレジスタに転送する手段と、前記ヘッダテーブルのアドレス情報を参照して、前記データバッファから前記所定ページ以外に書き込むべきライトデータを順次読み出し、それを前記フラッシュEEPROMのデータレジスタに転送する手段とを含むことを特徴とする。

【0027】この半導体ディスク装置においては、ライト対象ブロック内でライトアクセス対象外のページが存在する場合には、ライトアクセス対象外のページに格納されているいわゆる巻き添え消去データが読み出され、その巻き添え消去データとホストからのライトデータそれぞれのアドレスに基づいてヘッダテーブルが生成される。ヘッダテーブルが生成されると、ライト対象ブロックの記憶内容が消去された後、ヘッダテーブルのアドレス情報に従ってブロックデータがデータバッファからページ単位でデータレジスタに転送され、フラッシュEEPROM内で書込み動作が実行される。このデータ転送において、所定ページに書き込むべきデータについては書換回数情報が付加されて転送される。このため、請求項7の半導体ディスク装置と同様に、同一ブロックに対するライトアクセスだけで、データ書込みと書換回数情報の更新が行う事ができ、結果的にライトアクセス性能の向上を図る事ができる。また、1ブロック分のブロックデータの格納位置を示すアドレス情報を保持するヘッダテーブルが生成されるので、このヘッダテーブルを参照する事により、巻き添え消去データとライトデータとを区別すること無く、データバッファからフラッシュEEPROMへのデータ転送処理を行う事ができる。

【0028】また、請求項9の発明は、請求項8の構成に加え、請求項1の誤り訂正符号生成および演算機能を備えた構成であり、各ブロックの所定ページの冗長領域には、書換回数情報と誤り訂正符号が格納され、他の各

ページの冗長領域には誤り訂正符号が格納される。この半導体ディスク装置においては、冗長領域をより有効に利用する事が可能となる。

【0029】また、請求項10の発明は、請求項7の構成において、各ブロックの書換回数情報をその上位ビット部と下位ビット部に別けて管理し、上位ビット部から構成される第1の書換回数データを所定のブロック内に集中して格納し、下位ビット部から構成される第2の書換回数データをブロック毎に所定ページの冗長領域に分散して格納する構成である。

【0030】この半導体ディスク装置においては、冗長領域に格納されるのは書換回数情報の下位ビットデータだけであるので、冗長領域の使用領域を低減できる。また、下位ビットデータは書換が発生する度に更新する必要があるが、この更新は、書換対象ブロックに対するデータ書込みのためのライトアクセスと同時に実行されるので、請求項7の半導体ディスク装置と同様に、データ書込みのためのライトアクセスと書換回数情報の更新のためのライトアクセスとを別個に行う必要もない。また、書換回数情報の上位ビット部のデータは所定ブロックに集中して格納されているので、全てのブロックから順に書換回数情報を読み出すことなく、1つのブロックからのデータ読み出しだけで全てのブロックの書換回数を管理する事ができる。

【0031】また、請求項11の発明は、請求項10の書換回数管理手段に書換回数の平準化を行うためのスワッピング手段を設けたものである。この半導体ディスク装置においては、書換回数情報の下位ビット部のデータに桁上がりが発生した際に、平準化のためのブロック入れ替えを行うか否かが検討される。ライト対象ブロックとの書換回数の差が所定値以上に達するブロックが存在する場合には、そのブロックがスワッピング先ブロックとして決定され、そのブロックとライト対象ブロックとの間でアドレスおよび記憶内容が互に入れ替えられる。このように、書換回数情報の下位ビット部データの桁上りを条件に平準化のためのブロック入れ替えを行うか否かが検討されるので、各ブロックの書換回数を常時監視する必要がなくなり、書換回数の管理が簡単になる。

【0032】また、請求項12の発明は、ディスク製造時や出荷時などにおける第2の書換回数データの初期値として、ブロック毎にそれぞれ離散的な値を格納したものである。これによって、桁上りが発生する時期がブロック毎にずれるので、複数のブロックに対する書換が連続して発生しても、桁上りに起因するスワッピングの検討処理およびスワッピング処理が集中して発生することを防止する事ができる。

【0033】また、請求項13の発明においては、フラッシュEEPROMの所定ブロックには、第1の書換回数データに加えて、スワッピングテーブルが格納されてい

る。このスワッピングテーブルには、第1の書換回数データの値に応じてスワッピング先ブロックの優先順位を示す優先順位情報が保持されている。したがって、第1の書換回数データをソーティングすること無く、スワッピング先ブロックを容易に特定する事が可能となる。

#### 【0034】

【実施例】以下、図面を参照してこの発明の実施例を説明する。

【0035】図1には、この発明の一実施例に係わる半導体ディスク装置の構成が示されている。この半導体ディスク装置10は、ハードディスク装置の代替としてパーソナルコンピュータなどのホストシステムに接続されて使用されるものであり、ホストシステム（ファイルシステム、磁気ディスク装置用のドライバ）からのディスクアクセス要求をフラッシュEEPROMに対するアクセス要求にエミュレートして、半導体ディスク装置10内蔵のフラッシュEEPROMをアクセスする。この半導体ディスク装置10には、最大16個のフラッシュEEPROMチップを搭載することが可能である。これらフラッシュEEPROMは、それぞれICソケットを介して半導体ディスク装置10の回路基盤に着脱自在に実装される。図1においては、16個のNAND型フラッシュEEPROM11-1～11-16が搭載されている状態が示されている。半導体ディスク装置10には、さらに、コントローラ12、およびRAM13が設けられている。

【0036】フラッシュEEPROM11-1～11-16は、この半導体ディスク装置10の記録媒体として使用されるものであり、ハードディスク装置の磁気記録媒体に相当する。これらフラッシュEEPROM11-1～11-16はNANDメモリバス14を介してコントローラ12に接続されている。NANDメモリバス14には、8ビット幅のデータバス、および各フラッシュEEPROMの制御信号端子に接続される各種制御信号線が定義されている。I/Oデータバスおよび各種制御信号線は、それぞれフラッシュEEPROM11-1～11-16のデータ入出力端子I/O、および制御信号入力端子CONT（コマンドラッチイネーブル端子CLE、アドレスラッチイネーブル端子ALE、ライトイネーブル端子WE、リードイネーブル端子REなどを含む）に共通接続されている。

【0037】さらに、フラッシュEEPROM11-1～11-6とコントローラ12の間には、チップセレクト信号（CS1～CS8）線、およびReady/Busy信号線（R/B1～R/B16）がそれぞれチップ毎に独立して配設されている。

【0038】これらフラッシュEEPROM11-1～11-6はそれぞれ16MビットのNAND型EEPROMであり、図2に示されているように、メモリセルアレイ111とデータレジスタ112を備えている。メモ

リセルアレイ111は、8K行×264列×8ビットのビット構成を有し、512個のブロックを有している。データ消去はこのブロック単位で実行することができる。各ブロックは16ページ（行）から構成されており、各ページは、256バイトのデータ記憶領域と8バイトの冗長領域を備えている。データの書込みと読み出しは、256+8バイトのデータレジスタ112を介してページ単位で実行される。この半導体ディスク装置においては、各ページの冗長領域はECCや書換回数データの格納に利用される。

【0039】フラッシュEEPROM11-1～11-6はそれぞれライトモード、リードモード、消去モードなどの動作モードを有しており、これら動作モードはコントローラ12からのコマンドによって指定される。

【0040】リードモードにおいては、メモリセルアレイ111からデータレジスタ112へのページ単位のデータ転送（ページリード）がフラッシュEEPROM内部で自動実行される。このデータ転送期間中はReady/Busy信号線はBusy状態に設定され、これによってページリード動作中であることがコントローラ12に通知される。データレジスタ112に転送された1ページ分のデータは、入出力端子I/O0～I/O7から8ビット単位でシリアルに読み出される。1ページ分のデータのシリアルリードが終了すると、次のページのページリードが自動的に実行される。

【0041】ライトモードにおいては、データレジスタ112からメモリセルアレイ111へのページ単位のデータ転送（ページライト）がフラッシュEEPROM内部で自動実行される。このデータ転送期間中はReady/Busy信号線はBusy状態に設定され、これによってページライト動作中であることがコントローラ12に通知される。

【0042】消去モードにおいては、コントローラからのコマンドによって指定された任意のブロックの記憶内容が一括消去される。

【0043】半導体ディスク装置10においては、これらフラッシュEEPROM11-1～11-6の制御のための処理の殆どはファームウェアによって制御される。ハードウェアによって実行されるのは、フラッシュEEPROMへのデータ書込みの際のECC生成と、フラッシュEEPROMからのデータ読み出しの際のECCチェックである。

【0044】次に、半導体ディスク装置10のディスクコントローラ12の構成を説明する。

【0045】ディスクコントローラ12は1個のLSIによって実現されており、そのLSIチップには、図1に示されているように、マイクロプロセッサ（MPU）14、プロセッサバスインタフェース15、ROM16、外部バスインタフェース17、バッファメモリコントローラ18、およびNANDバスインタフェース19

が集積形成されている。

【0046】マイクロプロセッサ14は、ROM16に格納されたファームウェアを実行してこの半導体ディスク装置10全体の動作を制御するものであり、パーソナルコンピュータのCPU1から送られるディスクアクセスのためのホストアドレスを、フラッシュEEPROM11-1~11-16をアクセスするためのメモリアドレスに変換するアドレス変換処理、フラッシュEEPROM11-1~11-16をリード/ライトアクセスするためのアクセス制御処理、フラッシュEEPROM11-1~11-16それぞれのデータ書換回数の管理、およびデータ書換回数を平準化するためのスワッピング処理の制御などを行う。

【0047】ROM16には、マイクロプロセッサ14によって実行されるファームウェア、およびパーソナルコンピュータのCPU1によって実行されるオペレーティングシステムやアプリケーションプログラムなどの各種プログラムが格納されている。オペレーティングシステムやアプリケーションプログラムはROM16内でファイルとして管理されており、それらプログラムはCPU1から半導体ディスク装置10に対して発行される読み出し要求に応じてROM16から読み出され、そしてパーソナルコンピュータのメインメモリ3にロードされる。

【0048】ROM16およびフラッシュEEPROM11-1~11-16には、連続するディスクアドレスがマッピングされており、ROM16もディスク装置10の記憶媒体の一部として利用される。このため、ROM16に格納されているオペレーティングシステムやアプリケーションプログラムの読み出しは、CPU1からの読み出し要求が、ある特定の番地を指定している時のみ実行され、その他の番地を指定している時はフラッシュEEPROM11-1~11-16に対するリードアクセスが行われる。

【0049】外部バスインタフェース17は、IDEやPCMCIA仕様に準拠したインタフェースであり、パーソナルコンピュータのシステムバス2に接続される。外部バスインタフェース17には、CPU1との通信のためのI/Oレジスタ群が設けられている。レジスタ群には、セクタナンバレジスタ171、セクタカウントレジスタ172、データレジスタ173、シリンダレジスタ174、ドライブ/ヘッドレジスタ175、コマンドレジスタ176、ステータスレジスタ177などが含まれている。これらレジスタは、マイクロプロセッサ14およびパーソナルコンピュータのCPU1によってそれぞれリード/ライト可能である。

【0050】セクタナンバレジスタ171には、アクセス先頭位置を指定するセクタ番号がCPU1によってライトされる。セクタカウントレジスタ172には、リード/ライト対象のセクタ数がCPU1によってライトさ

れる。データレジスタ173には、CPU1から供給されるライトデータまたは半導体ディスク装置10から読み出されるリードデータが設定される。シリンダレジスタ174には、リード/ライト対象のシリンダ番号がCPU1によってライトされる。ドライブ/ヘッドレジスタ175には、リード/ライト対象のドライブ番号、およびヘッド番号がCPU1によってライトされる。コマンドレジスタ176には、半導体ディスク装置10の動作を指定するリードコマンドやライトコマンド等がCPU1によってライトされる。ステータスレジスタ177には、CPU1に通知すべき半導体ディスク装置10の各種ステータスがセットされる。

【0051】バッファメモリコントローラ18は、RAM13をアクセス制御するためのものであり、システムバス2とRAM13間のデータ転送などを行う。データ転送には、システムバス2とRAM13間のデータ転送の他、RAM13とフラッシュEEPROM11-1~11-16間のデータ転送がある。後者のデータ転送は、マイクロプロセッサ14によるムーブストリング命令の実行によって行われる。

【0052】NANDバスインタフェース19は、マイクロプロセッサ14の制御の下にフラッシュEEPROM11-1~11-16をアクセス制御するハードウェアロジックであり、フラッシュEEPROM11-1~11-16との間のデータ転送、およびフラッシュEEPROMとの間の各種制御信号の授受を行う。このNANDバスインタフェース19には、マイクロプロセッサ14によってリード/ライト可能なI/Oレジスタ群20と、ECC演算回路21が設けられている。ECC演算回路21は、ECC生成のための演算およびECCチェックのための演算を行う。

【0053】I/Oレジスタ群20には、図3に示されているように、NANDチップナンバレジスタ201、NANDデータリード/ライトレジスタ202、NANDチップイネーブル制御レジスタ203、NANDコマンドラッチイネーブル制御レジスタ204、NANDアドレスラッチイネーブル制御レジスタ205、ECCスタート制御レジスタ206、ECCレディー/ビジーステータスレジスタ207、LWCレジスタ208、6個のECCデータレジスタ209~214、および16個のNANDチップレディー/ビジーステータスレジスタ215-1~215-16などが含まれている。

【0054】NANDチップナンバレジスタ201は、どのNAND型フラッシュEEPROMに対して処理を実行するかを選択するためのレジスタであり、アクセス対象のNAND型フラッシュEEPROMのチップ番号を示す値がプロセッサ14によってセットされる。

【0055】NANDデータリード/ライトレジスタ202は、データバスを介してフラッシュEEPROMに対するデータのリード/ライトを行うためのレジスタで

あり、フラッシュEEPROMに対するコマンドの発行、アドレスの発行、ステータスデータのリードなどに使用される。

【0056】NANDチップイネーブル制御レジスタ203は、フラッシュEEPROMのチップイネーブル端子CEを制御するためのレジスタであり、チップセレクト信号の発生／非発生を示すフラグがプロセッサ14によってセットされる。ビット0にフラグ“1”がセットされると、NANDバスインタフェース19は、NANDチップナンバレジスタ201によって選択されたフラッシュEEPROMのチップイネーブル端子CEをアクティブにするためのチップセレクト信号(CS)を発生する。

【0057】NANDコマンドラッチイネーブル制御レジスタ204は、フラッシュEEPROMのコマンドラッチイネーブル端子CLEを制御するためのレジスタであり、コマンドラッチイネーブル端子CLEをアクティブにするか否かを指定するフラグがプロセッサ14によってセットされる。ビット0にフラグ“1”がセットされると、フラッシュEEPROMのコマンドラッチイネーブル端子CLEがNANDバスインタフェース19によってアクティブに設定される。これにより、データバスにコマンドが発行されたことが、フラッシュEEPROMに対して通知される。

【0058】NANDアドレスラッチイネーブル制御レジスタ205は、フラッシュEEPROMのアドレスラッチイネーブル端子ALEを制御するためのレジスタであり、アドレスラッチイネーブル端子ALEをアクティブにするか否かを指定するフラグがプロセッサ14によってセットされる。ビット0にフラグ“1”がセットされると、フラッシュEEPROMのアドレスラッチイネーブル端子ALEがNANDバスインタフェース19によってアクティブに設定される。これにより、データバスにアドレスが発行されたことが、フラッシュEEPROMに対して通知される。

【0059】ECCスタート制御レジスタ206は、ECC演算の実行開始を制御するためのレジスタであり、RAM13とフラッシュEEPROM11-1～11-16との間のデータ転送を開始する前に、ECC演算の実行開始を指定するフラグがプロセッサ14によってセットされる。フラッシュEEPROMからRAM13へのデータ転送を行う時は、ビット0に“1”がセットされる。この場合、ECC演算回路21は、フラッシュEEPROMから読み出されるデータについてECCチェックを行う。RAM13からフラッシュEEPROMへのデータ転送を行う時は、ビット0に“0”がセットされる。この場合、ECC演算回路21は、RAM13から転送されるデータについてECCの生成を行う。

【0060】ECCレディー／ビジーステータスレジスタ207は、ECC演算回路21によるECC演算(E

CC生成またはECCチェック)が実行中か否かを示すステータスレジスタである。NANDバスインタフェース19は、ECC演算実行中であればビット0に“1”のフラグをセットし、ECC演算の実行が終了すると、ビット0に“0”のフラグをセットする。プロセッサ14は、RAM13とフラッシュEEPROM11-1～11-16との間における256バイトのデータ転送終了後にレジスタ207のフラグを参照してECC演算処理の終了の有無を調べ、そして終了を確認すると、次の256バイトのデータ転送処理を開始する。

【0061】LWCレジスタ208には、フラッシュEEPROMの8バイトの冗長領域の先頭の2バイトに格納すべきデータ、例えば、書換回数データの低位ビットであるLWC(Low Write Count)データがセットされる。この場合、RAM13からフラッシュEEPROMへのデータ転送においては、そのデータ転送に先立って、転送先となるフラッシュEEPROMのライト対象ブロックに対応したLWCデータがファームウェアによってセットされる。フラッシュEEPROMからRAM13へのデータ転送においては、フラッシュEEPROMから読み出されるデータ列からLWCデータがNANDバスインタフェース19によって取り出され、それがセットされる。

【0062】ECCデータレジスタ209～214は、6バイトのECCデータを保持するためのレジスタ群である。RAM13からフラッシュEEPROMへのデータ転送時は、256バイトのライトデータに対応する6バイトのECCデータがECC演算回路21によって生成され、その生成されたECCデータがECCデータレジスタ209～214にセットされる。フラッシュEEPROMからRAM13へのデータ転送時は、ECC演算回路21によって実行されるECCチェック演算の結果がレジスタ209～214にセットされる。このECCチェック演算は、エラー検出を行うために実行される。このECCチェック演算においては、256バイトのリードデータに対応する6バイトのECCデータが再度生成され、その6バイトのECCデータとフラッシュEEPROMから実際に読み出された6バイトのECCデータとの比較がバイト単位で行われる。一致すれば“0”、不一致であれば“1”が対応するレジスタのビット0にセットされる。したがって、エラーが発生しなければ、ECCデータレジスタ209～214のビット0にセットされる値は全て“0”となる。

【0063】NANDチップレディー／ビジーステータスレジスタ215-1～215-16は、16個のフラッシュEEPROM11-1～11-16それぞれのレディー／ビジーステータスを保持するレジスタ群であり、各レジスタのビット0には対応するフラッシュEEPROMがレディー状態であるかビジー状態であるかを示すフラグがNANDインタフェース19によってセッ

トされる。レディー状態ならばフラグ“1”が、ビジー状態であればフラグ“0”がセットされる。レディー状態であるかビジー状態であるかは、フラッシュEEPROM11-1～11-16からそれぞれ独立して入力されるレディー／ビジー信号(R/B1～R/B16)によってチップ毎に判定される。

【0064】図1のRAM13はダイナミックRAMから構成されており、その記憶領域の一部はパーソナルコンピュータのCPU1から転送されるライトデータ、およびフラッシュEEPROM11-1～11-16から読み出されるリードデータを保持するデータバッファ131として使用される。また、RAM13は、マイクロプロセッサ14の作業領域として使用され、ここには、ホストアドレスをメモリアドレスに変換するためのアドレス変換テーブル132、フラッシュEEPROMに書き込むべき1ブロック分のブロックデータの格納位置を管理するヘッダテーブル133、フラッシュEEPROM11-1～11-16の書換回数をブロック単位で管理するための書換回数管理テーブル134などが格納される。

【0065】次に、図4を参照して、マイクロプロセッサ14によって管理される半導体ディスク装置10内のメモリマップについて説明する。

【0066】マイクロプロセッサ14が管理するメモリアドレス空間には、図示のように、RAM領域、NANDメモリデータ領域、アプリケーションROM(APL-ROM)領域、およびファームウェアROM(FW-ROM)領域がマッピングされている。

【0067】RAM領域はRAM13をアクセスするためのメモリアドレス空間であり、ここにはデータバッファ131などが割り当てられている。

【0068】NANDメモリデータ領域は、フラッシュEEPROM11-1～11-16をアクセスするための256バイトのアドレス空間である。フラッシュEEPROM11-1～11-16に対するデータのリード／ライトアクセスにおいては、マイクロプロセッサ14のムーブストリング命令によって256バイトのデータ転送が行われる。このため、この256バイトのデータ転送のために、256バイトのアドレス空間がNANDメモリデータ領域として確保されている。このNANDメモリデータ領域を使用する事により、データバッファ131とフラッシュEEPROM11-1～11-16との間のデータ転送は全てファームウェアの処理として行う事ができる。

【0069】次に、図5を参照して、フラッシュEEPROM11-1～11-16それぞれのブロックの利用形態について説明する。

【0070】フラッシュEEPROM11-1～11-16のブロックはユーザデータの格納だけでなく、これらフラッシュEEPROMを制御するための各種管理情

報の格納にも利用されている。フラッシュEEPROM11-1～11-16に対するユーザデータと管理情報の割り当ては以下の通りである。

【0071】すなわち、チップ番号#0のNAND型フラッシュEEPROM11-1においては、図示のように、512個のブロックの中でブロック0～ブロック503の504個のブロックは、ユーザデータを格納するためのメモリブロックとして利用される。また、ブロック504は、チップ内の512個のブロックのアドレスや書換回数などを管理するための管理情報を記憶するMBI(Memory Block Information)テーブルブロックとして利用される。また、ブロック505～509は、メモリブロックおよびMBIテーブルブロックに不良が発生した時にその代替用の予備ブロックとして使用される。ブロック511は半導体ディスク装置10の構成情報を記憶するコンフィグブロックとして使用され、ブロック510はコンフィグブロックの代替用の予備ブロックとして使用される。

【0072】コンフィグブロックは装置10全体で1個だけ存在し、ここには、半導体ディスク装置10に搭載されているフラッシュEEPROMのチップ数や、各フラッシュEEPROMにおけるMBIテーブルブロックの存在位置などを示す情報などが管理されている。

【0073】チップ番号#1～#16のNAND型フラッシュEEPROM11-2～11-16においては、図示のように、ブロック0～ブロック503の504個のブロックは、ユーザデータを格納するためのメモリブロックとして利用され、ブロック504は、チップ内の512個のブロックのアドレスや書換回数を管理するための管理情報を記憶するMBI(Memory Block Information)テーブルブロックとして利用される。また、ブロック505～511は、メモリブロックおよびMBIテーブルブロックの代替用のブロックとして使用される。

【0074】メモリブロック、MBIテーブルブロック、代替ブロック、コンフィグブロックそれぞれの物理的なブロック構造は図2で説明した通りであるが、以下、それらブロック内のデータ格納形式について説明する。

【0075】図6には、ユーザデータを格納するためのメモリブロックのデータ格納形式が示されている。

【0076】図2で説明したように、この半導体ディスク装置10で使用されるNAND型フラッシュEEPROMは16Mビットのチップであり、各ブロックは、ページ0からページ15までの16ページから構成されている。各ページは、256バイトのデータ領域と8バイトの冗長領域とから構成されている。

【0077】一般に、ホストシステムによるディスクアクセスは512バイトのセクタ単位で行われる。この場合、各ページのデータ領域に格納される256バイトの

ユーザデータのサイズは、1セクタ分のユーザデータサイズの半分となる。この半導体ディスク装置10においては、ユーザデータの格納には256バイトのデータ領域だけが使用され、8バイトの冗長領域はユーザデータの格納には利用されない。したがって、この半導体ディスク装置10においては、512バイトのユーザデータは、ブロック内の連続する2ページに互って格納される。このため、1ブロックに格納されるユーザデータは、8セクタ分のデータ、例えば、セクタ0からセクタ7までのデータとなる。

【0078】すなわち、図5に示されているように、ページ0にはセクタ0の前半の256バイト、ページ1にはセクタ0の後半の256バイト、ページ2にはセクタ1の前半の256バイト、ページ3にはセクタ1の後半の256バイトが格納され、以下同様にして、1/2セクタ単位でユーザデータが格納される。

【0079】ページ0～15それぞれの8バイトの冗長領域は、2バイトの領域と6バイトの領域に分割されており、その6バイトの領域にはECCが格納される。このECCは、同一ページのデータ領域に格納されている256バイトのユーザデータに対応するものである。

【0080】すなわち、ページ0の冗長領域に格納されているECCは、ページ0のデータ領域に格納されている256バイトのユーザデータから生成されたものであり、同様に、ページ1の冗長領域に格納されているECCは、ページ1のデータ領域に格納されている256バイトのユーザデータから生成されたものである。

【0081】このように、この半導体ディスク装置10においては、512バイトのセクタ単位ではなく256バイトのページ単位でECCが生成され、演算対象のデータ列とECCとが同一ページに格納される。このため、たとえ、図示のようにフラッシュEEPROMの複数ページそれぞれの同一ビット位置に不良セルが発生するというエラーが発生しても、ECCの演算対象となるデータ列に含まれる不良セルは1つだけとなる。したがって、データ回復能力の高い複雑なECC演算式を利用することなく通常の簡単なECC演算によってエラー検出および訂正を行うことが可能となる。

【0082】また、ページ0の冗長領域の残りの2バイトには、ブロック0のブロックステータス情報として、LWCデータが格納されている。このLWCデータは、ブロック0の書換回数を示す書換回数データの下位ビット部、例えば26ビット幅の書換回数データの下位10ビットのデータから構成される。

【0083】LWCデータはブロック毎に1つ格納され、ブロック1～ブロック503それぞれの先頭ページの冗長領域の先頭の2バイトにも、同様にして、そのブロックステータス情報としてLWCデータが格納されている。

【0084】さらに、ページ1の冗長領域の残りの2バ

イトには、セクタ0のセクタステータス情報として、BADセクタ情報、およびECCエラー情報が格納されている。

【0085】BADセクタ情報は、そのセクタ0が不良セクタか否かを示すステータス情報である。同様に、ページ3、ページ5、……ページ15それぞれの冗長領域の残りの2バイトにも、セクタ1、セクタ2、……セクタ7それぞれに対応するBADセクタ情報が格納されている。これらBADセクタ情報は、半導体ディスク装置10のホストシステムであるパーソナルコンピュータが、半導体ディスク装置10をフォーマットするためのフォーマットコマンドを実行する時に、そのパーソナルコンピュータのCPU1によって与えられる。

【0086】ECCエラー情報は、そのセクタに対するECCエラー発生の有無を示すステータス情報である。このECCエラー情報は、例えば、パーソナルコンピュータがWRITE LONGコマンドによるデータ書込みを行った場合においてECCエラーとなるバーストエラーなどのエラーが発生した時に、パーソナルコンピュータのCPU1によって与えられる。

【0087】次に、図7を参照して、MBIテーブルブロックのデータ格納形式を説明する。

【0088】MBIテーブルブロックは、ページ0からページ15までの16ページを含む1個のブロックから構成されている。各ページは、256バイトのデータ領域と8バイトの冗長領域とから構成されている。8バイトの冗長領域のうちの後の6バイトには、そのページのデータ領域に格納されている256バイトのデータに対応するECCが格納されている。また、冗長領域の先頭の2バイトは未使用である。

【0089】MBIテーブルブロックのデータ領域には、図示のように、アドレス変換テーブル、UWCテーブル、およびスワップオーダーテーブルが格納されている。

【0090】MBIテーブルブロックにおけるアドレス変換テーブルは、チップ内のブロック0～511の物理ブロックアドレス0～511を、シリンダ番号、ヘッド番号およびセクタ番号によって規定されるホストアドレスに変換するためのアドレス変換情報を保持する。ホストアドレスは、物理ブロックアドレス順に格納されている。

【0091】ここで、MBIテーブルブロックにおけるホストアドレスの値としては、ホストシステムから与えられるシリンダ番号、ヘッド番号およびセクタ番号そのものではなく、それらシリンダ番号、ヘッド番号およびセクタ番号から計算されたホスト論理アドレスが使用される。

【0092】このホスト論理アドレスは、フラッシュEEPROM11-1～11-16に設けられる全セクタ(=8×512×16セクタ)に対して“0”から順に

連続するセクタ番号を割り当てた場合のセクタの通し番号である。したがって、ホスト論理アドレスのビット幅は、16ビットとなる。しかし、このMBIテーブルブロックのアドレス変換テーブルで管理されるアドレス変換情報は、1セクタ単位ではなく、1ブロックに含まれるセクタ数である8セクタ単位でアドレス変換を行うためのものである。実際には、16ビットのホスト論理アドレスのなかの上位13ビットだけがテーブル上に格納されている。

【0093】UWCテーブルは、チップ内の512個のブロックそれぞれの書換回数を示す書換回数データの上位ビット部から構成されるUWC (UPPER WRITE COUNT) データを保持する。UWCデータは16ビット幅を有しており、このUWCデータと前述の10ビット幅のLWCとを合わせると、最大で6400万回数の書換までカウントする事ができる。UWCデータの値は、対応するLWCデータに桁上がりが発生する度、つまり1024回の書換が発生する度に、+1カウントアップされる。

【0094】これらアドレス変換テーブルおよびUWCテーブルは、図示のように、MBIテーブルブロックのページ5からページ12のデータ領域に格納されている。アドレス変換テーブルおよびUWCテーブルは、装置起動時、つまり半導体ディスク装置10のパワーオン時に、RAM13に転送されて、それぞれアドレス変換テーブル132および書換回数管理テーブル134として常駐される。

【0095】スワップオーダーテーブルは、ブロック入れ替えのためのスワッピング操作の際にマイクロプロセッサ14によって参照されるテーブルであり、スワッピング先のブロック(被スワップブロック)を示すブロックアドレスを、優先度順(UWCデータの値が小さい順)に保持している。スワップオーダーテーブルは、図示のように、MBIテーブルブロックのページ13からページ15のデータ領域に格納されている。スワップオーダーテーブルは、RAM13には常駐されず、ブロック入れ替えの検討時、つまりLWCデータからUWCデータへの桁上がり発生時に、RAM13に転送されてマイクロプロセッサ14によって参照される。

【0096】図8には、アドレス変換テーブルとUWCテーブルの構成が示されている。

【0097】図示のように、ホストアドレスとUWCデータの格納領域はそれぞれ2バイトのデータサイズを有している。ここで、ホストアドレスは前述したように13ビットであるので、2バイトの格納領域の上位3ビット(ビット15～ビット13)は使用されない。ホストアドレスとUWCデータは、物理ブロックアドレス順に交互に配置されている。

【0098】すなわち、MBIテーブルブロックにおけるページ5の256バイトのデータ領域には、その先頭

から順に、物理ブロックアドレス0に対応するホストアドレス、物理ブロックアドレス0に対応するUWCデータ、物理ブロックアドレス1に対応するホストアドレス、物理ブロックアドレス1に対応するUWCデータといった順番で、ホストアドレスとUWCデータが64個のブロック(ブロック0～ブロック63)分格納されている。

【0099】同様に、ページ12の256バイトのデータ領域には、その先頭から順に、物理ブロックアドレス448に対応するホストアドレス、物理ブロックアドレス448に対応するUWCデータ、物理ブロックアドレス449に対応するホストアドレス、物理ブロックアドレス449に対応するUWCデータといった順番で、ホストアドレスとUWCデータが64個のブロック(ブロック448～ブロック511)分格納されている。

【0100】図9には、スワップオーダーテーブルの構成が示されている。

【0101】スワップオーダーテーブルは、ブロック0からブロック255までの前半の256個のブロックに対応する第1オーダーテーブルと、ブロック256からブロック511までの後半の256個のブロックに対応する第2オーダーテーブルとに分割されている。

【0102】第1オーダーテーブルにおいて、その先頭の2バイトの領域(アドレス800h, 801h)には、ブロック0からブロック255の中の最小のUWCの値が格納されている。

【0103】次の1バイト(アドレス802h)には、最小UWCの値を持つブロックの総数を示す値が格納される。

【0104】さらに、次の1バイト(アドレス803h)には、最小UWC+1の値を持つブロックの総数を示す値が格納される。ここで、“最小UWC+1”とは、あくまでも最小UWCに1を加えた値を示しており、最小UWCの次に小さなUWCを示すものではない。最小UWC+1の値を持つブロック総数がゼロとなる場合もある。

【0105】以降、アドレス804h～87Ahには、最小UWC+2の値を持つブロック総数を示すデータから最小UWC+120の値を持つブロック総数を示すデータが順次格納される。

【0106】アドレス87Ch～87Fhには、MBIテーブルブロック自体の書換回数を示すデータなどが格納される。

【0107】アドレス880h～97Fhには、本来のスワップオーダーテーブルとしての情報が格納されている。すなわち、アドレス880hには、ブロック0～ブロック255の中で最優先度の被スワップ対象のブロックを示す値として、最小UWCの値を有するブロックの物理ブロックアドレスが格納されている。最小UWCの



値を有するブロックが複数存在する場合には、物理ブロックアドレスが最も後ろのブロックから順に優先順位が高くなる。以下、同様にして、アドレス881hから97Fhに、優先度順にスワップ対象ブロックのブロックアドレスが格納される。

【0108】次に、第2オーダーテーブルについて説明する。

【0109】第2オーダーテーブルにおいて、その先頭の2バイトの領域（アドレス980h、981h）には、MBIテーブルブロック、代替ブロック、コンヒグブロックを除き、ブロック256からブロック511の中の最小のUWCの値が格納されている。すなわち、代替ブロック等は書換回数が全く進行していないので、それらブロックの書き替え回数は無視される。また、実際に代替が発生した場合は、その代替ブロックのUWCデータの値は、その代替ブロックの実際の書換回数ではなく、代替元、つまり欠陥ブロックのUWCを譲り受けることとする。これは、スワッピング操作の多発による性能低下を防止するためである。もし、代替ブロックの実際のUWCデータの値をそのまま採用すると、書換回数の値が突出して小さなブロックがいきなり登場することになり、その代替ブロックをスワッピング被対象とするスワッピング操作が何度も発生されてしまうことになる。

【0110】次の1バイト（アドレス982h）には、最小UWCの値を持つブロックの総数を示す値が格納される。

【0111】さらに、次の1バイト（アドレス983h）には、最小UWC+1の値を持つブロックの総数を示す値が格納される。以降、アドレス984h～9FAhには、最小UWC+2の値を持つブロック総数を示すデータから最小UWC+120の値を持つブロック総数を示すデータが順次格納される。

【0112】アドレスA00h～AFFhには、本来のスワップオーダーテーブルとしての情報が格納されている。すなわち、アドレスA00hには、ブロック256～ブロック511の中で最優先度の被スワップ対象のブロックを示す値として、最小UWCの値を有するブロックの物理ブロックアドレスが格納されている。最小UWCの値を有するブロックが複数存在する場合には、物理ブロックアドレスが最も後ろのブロックから順に優先順位が高くなる。以下、同様にして、アドレスA01hからAFFhに、優先度順にスワップ対象ブロックのブロックアドレスが格納される。

【0113】このように、スワップオーダーテーブルにおいては、スワッピング先となるブロックがその優先度順に格納されている。このため、このスワップオーダーテーブルを参照する事により、マイクロプロセッサ14は、UWCデータのソーティングを行うことなく、スワッピング先を特定する事が可能となる。

【0114】図10には、コンヒグブロックのデータ格納形式が示されている。

【0115】コンヒグブロックは、ページ0からページ15までの16ページを含む1個のブロックから構成されている。各ページは、256バイトのデータ領域と8バイトの冗長領域とから構成されている。8バイトの冗長領域のうちの6バイトには、そのページのデータ領域に格納されている256バイトのデータに対応するECCが格納されている。また、冗長領域の残りの2バイトは未使用である。

【0116】コンヒグブロックのデータ領域には、図示のように、コンヒグ情報、CIS情報、ドライブID情報が格納されている。

【0117】コンヒグ情報は、この半導体ディスク装置10に搭載されているフラッシュEEPROMのチップ数、同時書込み可能な最大チップ数、各チップにおけるMBIテーブルブロックの存在位置を示す物理ブロックアドレスなどを定義する。このコンヒグ情報は半導体ディスク装置10のパワーオン時にマイクロプロセッサ14によって参照され、そのコンヒグ情報に従った初期設定処理が行われる。

【0118】CIS情報は、半導体ディスク装置10をPCMCIA仕様のカードとして使用する場合に、ホストシステムに通知されるカード属性情報である。このカード属性情報には、メモリチップの種類、容量、アクセスタイムなどの物理的仕様に関する情報と、このカードがディスク装置であることなどを示す用途に関する情報が定義されている。このCIS情報は、半導体ディスク装置10のパワーオン時に、マイクロプロセッサ14によってRAM13に転送される。RAM13に転送されたCIS情報は、ホストシステムからの所定番地の読み出し要求に応答してホストシステムに転送される。

【0119】ドライブID情報は、半導体ディスク装置10のドライブ構成を示す情報であり、ここには、内蔵フラッシュEEPROMに論理的に割り当てられる総セクタ数、シリンダ数、ヘッド数、1トラック当たりのセクタ数などが定義されている。このドライブID情報は、ホストシステムからのドライブ識別コマンドに応答して、マイクロプロセッサ14によってホストシステムに転送される。

【0120】このように、この実施例においては、ユーザデータを格納するためのメモリブロックだけでなく、管理情報格納のために使用されるMBIテーブルブロックやコンヒグブロックにおいても、各ページの冗長領域には、そのページのデータ領域に格納されるデータに対応したECCが格納されている。したがって、これらMBIテーブルブロックおよびコンヒグブロックにおいても、データ回復能力の高い複雑なECC演算式を利用することなく通常の簡単なECC演算によってエラー検出および訂正を行うことが可能となる。

【0121】次に、図11を参照して、RAM13に設けられるアドレス変換テーブル132の構成について説明する。

【0122】このアドレス変換テーブル132は、シリンダ番号、ヘッド番号およびセクタ番号によって規定されるホストアドレスを、フラッシュEEPROM11-1~11-116をアクセスするための物理メモリアドレスに変換するためのものであり、このアドレス変換テーブル132はフラッシュEEPROM11-1~11-116それぞれのMBIテーブルブロックのアドレス変換情報に基づいて生成される。

【0123】このアドレス変換テーブル132においては、ホストアドレスとしては13ビットのブロックセクタアドレスが使用される。このブロックセクタアドレスは、前述したように、シリンダ番号、ヘッド番号およびセクタ番号から計算されたセクタの通し番号を示すホスト論理アドレス(16ビット)の中の上位13ビットから構成される。また、物理メモリアドレスは、4ビットのチップ番号アドレスと、9ビットのチップ内物理ブロックアドレスから構成される。4ビットのチップ番号アドレスは、チップ番号#0のフラッシュEEPROM11-1からチップ番号#15のフラッシュEEPROM11-6までの16個のチップのうちの1つを指定する。9ビットのチップ内物理ブロックアドレスは、チップ番号アドレスによって指定されたチップ内のブロック0~ブロック511の512個のブロックの中の1つを指定する。物理メモリアドレス(チップ番号アドレス、チップ内物理ブロックアドレス)は、ホストアドレス順に格納されている。

【0124】次に、図12を参照して、アドレス変換テーブル132を利用したアドレス変換動作の原理を説明する。

【0125】まず、ホストシステムから指定されたシリンダ番号、ヘッド番号およびセクタ番号は、マイクロプロセッサ14によって実行されるファームウェアによって16ビット幅のホスト論理アドレスに変換される。次いで、その16ビット幅のホスト論理アドレスの上位13ビットから成るブロックセクタアドレスをインデックスとしてアドレス変換テーブル132が検索され、ブロックセクタアドレスに対応する4ビット幅のチップ番号アドレス、および9ビット幅の物理ブロックアドレスが決定される。

【0126】チップ番号アドレスは、チップ選択のために、ファームウェアによってNANDバスインタフェース19のNANDチップナンバレジスタ201にセットされる。また、9ビットの物理ブロックアドレスには、16ビット幅のホスト論理アドレスの下位3ビットから成るブロック内セクタアドレスと、1ビット幅の偶数/奇数ページ指定アドレスと、8ビット幅のカラムアドレスがNANDバスインタフェース19内で付加されて、

20ビット幅のメモリアドレス(A20-A0)が生成される。このメモリアドレス(A20-A0)は、アドレス指定のために、NANDバスインタフェース19のNANDデータリード/ライトレジスタ202にセットされる。ユーザデータをリード/ライトするためにホストシステムによって実行される半導体ディスク装置10のアクセスはセクタ単位で行われるので、通常、1ビット幅の偶数/奇数ページ指定アドレス(A8)と、8ビット幅のカラムアドレス(A7-A0)はどちらもオール“0”である。

【0127】次に、図13を参照して、NANDバスインタフェース19のECC演算回路21のECC生成/チェック動作を説明する。

【0128】まず、図13(a)を参照して、ECCの生成動作を説明する。

【0129】NAND型フラッシュEEPROM11-1~11-16に対するデータ書込み時においては、RAM13のデータバッファ131に格納されているユーザデータは、マイクロプロセッサ14によって256バイト単位で読み出されて、NANDバスインタフェース19を介してフラッシュEEPROMのデータレジスタに転送される。

【0130】NANDバスインタフェース19においては、256バイトのユーザデータはECC演算回路21に送られ、そこでECCを生成するための演算が実行される。ここで、ECCとしては例えばハミングコードなどが利用される。

【0131】ECC演算は、256バイトのユーザデータだけでなく、実際には、その256バイトのユーザデータと冗長領域の最初の2バイトに格納すべきデータとから構成される258バイトのデータを対象として行われる。

【0132】例えば、各ブロックの先頭ページに対するデータ書込みの場合には、256バイトのユーザデータと2バイトのLWCデータとから構成される258バイトのデータがECC演算の対象となる。この2バイトのLWCデータは、256バイトのユーザデータの転送に先立って、マイクロプロセッサ14によってLWCレジスタ208にセットされている。

【0133】ECC演算回路21は、256バイトのユーザデータとLWCレジスタ208にセットされている2バイトのLWCデータとから構成される258バイトのデータを所定のデータ列単位で演算して、6バイトのハミングコードECCを順次生成する。これらハミングコードECCはECCデータレジスタ209~214に一時的に保持される。

【0134】ECCの生成処理が完了すると、ECC演算回路21は、256バイトのユーザデータに後続させて、2バイトのLWCデータと6バイトのECCデータを、フラッシュEEPROMのデータレジスタに転送す

る。これにより、フラッシュEEPROMのデータレジスタには、256バイトのユーザデータ、2バイトのLWCデータ、および6バイトのECCデータから構成される1ページ分のデータがセットされる。

【0135】次に、図13(b)を参照して、ECCのチェック動作を説明する。

【0136】NAND型フラッシュEEPROM11-1~11-16からのデータ読み出し時においては、フラッシュEEPROMから読み出される1ページ分のデータがNANDバスインタフェース19に送られる。

【0137】NANDバスインタフェース19においては、1ページ分のデータから256バイトのユーザデータが取り出され、それがRAM13のデータバッファ131に送られる。また、その1ページ分のデータはECC演算回路21に送られる。

【0138】ECC演算回路21は、まず、1ページ分のデータからLWCデータを取り出して、それをLWCレジスタ208にセットし、その後、エラー検出のためのECCチェック演算を実行する。

【0139】このECCチェック演算においては、ECC演算回路21は、256バイトのユーザデータと2バイトのLWCデータとから構成される258バイトのデータをECC生成処理の場合と同じデータ列単位で演算して、6バイトのハミングコードECCを順次生成する。そして、その生成したハミングコードECCと、フラッシュEEPROMから読み出された1ページ分のデータに含まれているハミングコードECCとをバイト単位で比較し、一致/不一致を示す比較結果をECCデータレジスタ209~215にセットする。エラー発生がない場合には、ECCデータレジスタ209~215には全て、一致を示すデータ“0”がセットされる。ECCデータレジスタ209~215の内容はマイクロプロセッサ14によって参照され、エラーが発生していれば、マイクロプロセッサ14によってデータバッファ131上のデータのエラー訂正が行われる。

【0140】次に、マイクロプロセッサ14によって実行されるファームウェアとNANDバスインタフェース19の機能分担を明瞭にするために、フラッシュEEPROMに対するアクセス制御動作を説明する。

【0141】まず、図14および図15を参照して、フラッシュEEPROMのプログラムサイクルの制御に必要なファームウェアの処理とNANDバスインタフェース19の動作について説明する。

【0142】図14はプログラムサイクルにおけるファームウェアの処理とNANDバスインタフェース19の動作を説明するフローチャートであり、図15はプログラムサイクルにおけるフラッシュEEPROMの動作を示すタイミングチャートである。

【0143】ここでは、あるブロックの先頭ページに、256バイトのユーザデータ、2バイトのLWCデ

タ、および6バイトのECCデータをライトする場合を例にとって説明する。

【0144】マイクロプロセッサ14によって実行されるファームウェアは、まず、ライト対象のフラッシュEEPROMチップに対応するNANDチップレディー/ビジーレジスタ215-1~215-16の1つを参照して、そのライト対象のフラッシュEEPROMチップがレディーステート(待機中)か否かを確認する(ステップA11)。レディーステートであることを確認すると、ファームウェアは、NANDチップナンバレジスタ201をI/Oライトして、そこにライト対象フラッシュEEPROMチップに対応するチップ番号をセットする(ステップA12)。

【0145】次いで、ファームウェアは、NANDチップイネーブル制御レジスタ203をI/Oライトして、そこにチップイネーブル入力(CE)をアクティブにすることを指定するCEオンコマンドをセットする(ステップA13)。

【0146】この時、NANDバスインタフェース19は、NANDチップナンバレジスタ201にセットされたチップ番号に対応するチップセレクト信号CS1~CS16の1つをアクティブにする(ステップB11)。このチップセレクト信号はライト対象チップのチップイネーブル入力CE $\bar{}$ に供給され、これによってライト対象チップがイネーブル状態に設定される。

【0147】次に、ファームウェアは、NANDコマンドラッチイネーブル制御レジスタ204をI/Oライトして、そこにコマンドラッチイネーブル(CLE)信号をアクティブにすることを指定するCLEオンコマンドをセットする(ステップA14)。

【0148】NANDバスインタフェース19は、CLEオンコマンドのセットに回答して、コマンドラッチイネーブル信号CLEをアクティブ状態、つまり“H”レベルに設定する(ステップB12)。

【0149】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにシリアルデータ入力コマンド“80h”をセットする(ステップA15)。NANDバスインタフェース19は、シリアルデータ入力コマンド“80h”のセットに回答して、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つシリアルデータ入力コマンド“80h”を入出力端子I/Oに転送する(ステップB13)。

【0150】ファームウェアは、NANDアドレスラッチイネーブル制御レジスタ205をI/Oライトして、そこにALEオンコマンドをセットする(ステップA16)。NANDバスインタフェース19は、ALEオンコマンドのセットに回答して、アドレスラッチイネーブル信号ALEをアクティブ状態、つまり“H”レベルに設定する(ステップB14)。

【0151】次いで、ファームウェアは、NANDデータリード／ライトレジスタ202をI/Oライトして、そこにメモリアドレス（カラムアドレスA7-A0、およびページアドレスA20-A8）をセットする（ステップA17）。NANDバスインタフェース19は、アドレスのセットにตอบสนองして、ライトイネーブル信号WE<sup>-</sup>をアクティブ状態、つまり“L”レベルに設定し、且つセットされたメモリアドレスを入出力端子I/Oに転送する（ステップB15）。

【0152】ファームウェアは、このプログラムサイクル実行前に予めライト対象ブロックから読み出して+1カウントアップしておいたLWCデータをLWCレジスタ208にセットする（ステップA18）。そして、ファームウェアは、ECC開始コマンドをECCスタート制御レジスタ206にセットし（ステップA19）、その後、ムーブストリング命令の実行によって、データバッファ131からフラッシュEEPROMに256バイトのユーザデータを転送する（ステップA20）。

【0153】NANDバスインタフェース19は、ECC開始コマンドにตอบสนองしてECC生成のための演算を開始し、256バイトのユーザデータおよびLWCデータに対応する6バイトのECCデータを生成する（ステップB16）。そして、NANDバスインタフェース19は、256バイトのユーザデータに後続して、2バイトのLWCデータおよび6バイトのECCデータの転送を開始する（ステップB17）。これにより、ライト対象フラッシュEEPROMのデータレジスタには、図15に示されているように、256バイトのユーザデータ、2バイトのLWCデータおよび6バイトのECCデータが、1ページ分のシリアル入力データ（DIN）として転送される。

【0154】この後、ファームウェアは、CLEオンコマンドを発行した後に、NANDデータリード／ライトレジスタ202をI/Oライトして、そこにプログラムコマンド“10h”をセットする（ステップA21）。NANDバスインタフェース19は、まず、コマンドラッチイネーブル信号CLEをアクティブ状態に設定してからライトイネーブル信号WE<sup>-</sup>をアクティブ状態に設定し、且つプログラムコマンド“10h”を入出力端子I/Oに転送する（ステップB18）。

【0155】このプログラムコマンド“10h”が転送されると、ライト対象のフラッシュEEPROMにおいては、ページライト動作およびベリファイ動作が自動実行される。

【0156】ページライト動作では、データレジスタからメモリアルレイへの1ページ分のページデータ転送が行われて、データレジスタの256バイトのユーザデータがそのページのデータ領域に書き込まれ、且つデータレジスタの2バイトのLWCデータおよび6バイトのECCデータがそのページの冗長領域に書き込まれる。

このページ書き込み動作期間中そのチップからのレディー／ビジー信号（RDY/BSY）はビジー状態を示し、書き込み動作が完了するとビジー状態からレディー状態に戻る。

【0157】ファームウェアは、ライトアクセスしたチップに対応するNANDチップレディー／ビジーレジスタの内容によって書き込み動作の完了を確認すると（ステップA22）、NANDデータリード／ライトレジスタ202をI/Oライトして、そこにステータスリードコマンド“70h”をセットする（ステップA23）。NANDバスインタフェース19は、ステータスリードコマンド“70h”のセットにตอบสนองして、ライトイネーブル信号WE<sup>-</sup>をアクティブ状態、つまり“L”レベルに設定し、且つステータスリードコマンド“70h”を入出力端子I/Oに転送し、その後、リードイネーブル信号RE<sup>-</sup>をアクティブ状態、つまり“L”レベルに設定する（ステップB19）。

【0158】ステータスリードコマンド“70h”が転送されると、フラッシュEEPROMからはページライト動作が成功したか否かを示すステータスデータが読み出され、それがNANDデータリード／ライトレジスタ202にセットされる。

【0159】ファームウェアは、NANDデータリード／ライトレジスタ202のステータスデータを参照してページライト動作が成功したか否かを確認し、成功していればライト動作を終了する（ステップA24）。もし失敗した場合には、代替ブロックとの代替処理などを行う。

【0160】次に、図16および図17を参照して、フラッシュEEPROMのリードサイクルの制御に必要なファームウェアの処理とNANDバスインタフェース19の動作について説明する。

【0161】図16はリードサイクルにおけるファームウェアの処理とNANDバスインタフェース19の動作を説明するフローチャートであり、図17はリードサイクルにおけるフラッシュEEPROMの動作を示すタイミングチャートである。

【0162】フラッシュEEPROM11-1~11-16のリードサイクルには、ページ単位でデータを読み出す第1リードサイクルと、各ページの冗長領域のデータだけを読み出す第2リードサイクルとがある。

【0163】ここでは、第1リードサイクルで、あるブロックの先頭ページを読み出す場合を説明する。

【0164】マイクロプロセッサ14によって実行されるファームウェアは、まず、リード対象のフラッシュEEPROMチップに対応するNANDチップレディー／ビジーレジスタ215-1~215-16の1つを参照して、そのリード対象のフラッシュEEPROMチップがレディーステート（待機中）か否かを確認する（ステップA31）。レディーステートであることを確認する

と、ファームウェアは、NANDチップナンバレジスタ201をI/Oライトして、そこにリード対象フラッシュEEPROMチップに対応するチップ番号をセットする(ステップA32)。

【0165】次いで、ファームウェアは、NANDチップイネーブル制御レジスタ203をI/Oライトして、そこにチップイネーブル入力(CE)をアクティブにすることを指定するCEオンコマンドをセットする(ステップA33)。

【0166】この時、NANDバスインタフェース19は、NANDチップナンバレジスタ201にセットされたチップ番号に対応するチップセレクト信号CS1~CS16の1つをアクティブにする(ステップB31)。このチップセレクト信号はリード対象チップのチップイネーブル入力CE $\bar{}$ に供給され、これによってリード対象チップがイネーブル状態に設定される。

【0167】次に、ファームウェアは、NANDコマンドラッチイネーブル制御レジスタ204をI/Oライトして、そこにコマンドラッチイネーブル(CLE)信号をアクティブにすることを指定するCLEオンコマンドをセットする(ステップA34)。

【0168】NANDバスインタフェース19は、CLEオンコマンドのセットにตอบสนองして、コマンドラッチイネーブル信号CLEをアクティブ状態、つまり“H”レベルに設定する(ステップB32)。

【0169】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにリードコマンド“00h”をセットする(ステップA35)。NANDバスインタフェース19は、リードコマンド“00h”のセットにตอบสนองして、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つリードコマンド“00h”を入出力端子I/Oに転送する(ステップB33)。

【0170】ファームウェアは、NANDアドレスラッチイネーブル制御レジスタ205をI/Oライトして、そこにALEオンコマンドをセットする(ステップA36)。NANDバスインタフェース19は、ALEオンコマンドのセットにตอบสนองして、アドレスラッチイネーブル信号ALEをアクティブ状態、つまり“H”レベルに設定する(ステップB34)。

【0171】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにメモリアドレス(カラムアドレスA7-A0、およびページアドレスA20-A8)をセットする(ステップA37)。NANDバスインタフェース19は、アドレスのセットにตอบสนองして、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つセットされたメモリアドレスを入出力端子I/Oに転送する(ステップB35)。

【0172】このメモリアドレスが転送されると、リー

ド対象のフラッシュEEPROMにおいてはページリード動作が実行される。ページリード動作では、メモリアドレスで指定されたページに格納されている256バイトのユーザデータ、2バイトのLWCデータ、および6バイトのECCデータが読み出され、それがデータレジスタに転送される。このページリード動作期間中は、そのチップからのレディー/ビジー信号(RDY/BSY)はビジー状態を示し、ページリード動作が完了するとビジー状態からレディー状態に戻る。

【0173】ファームウェアは、リードアクセスしたチップに対応するNANDチップレディー/ビジーレジスタの内容によってページリード動作の完了を確認すると(ステップA38)、ECCチェック開始コマンドをECCスタート制御レジスタ206にセットし(ステップA39)、その後、ムーブストリング命令を実行して、データバッファ131からデータバッファ131への256バイトのユーザデータ転送を開始する(ステップA40)。

【0174】このデータ転送においては、NANDバスインタフェース19から出力されるリードイネーブル信号RE $\bar{}$ に同期して、フラッシュEEPROMのデータレジスタに保持されている256+8バイトのデータが1バイト単位でシリアルに読み出される。

【0175】NANDバスインタフェース19は、フラッシュEEPROMから読み出されるデータに対して誤り検出のためのチェック演算を行い(ステップB36)、そのチェック結果をECCデータレジスタ209~214にセットする(ステップB37)。

【0176】ファームウェアは、ECCチェック演算の終了を確認すると、ECCデータレジスタ209~214の内容を参照して正常なデータをリードできたか否かを調べる(ステップA41)。もしリードデータにエラーが発生していることが検出された場合は、ファームウェアは、ECCデータレジスタ209~214にセットされているECCチェック演算結果を用いて、データバッファ131に転送されている256バイトのユーザデータの誤り訂正をデータバッファ131上で実行する。

【0177】このように、リードサイクルにおいては、フラッシュEEPROMからデータバッファ131へのデータ転送時にECCチェックがNANDバスインタフェース19によって自動的に実行される。

【0178】ところで、フラッシュEEPROM11-1~11-16の各々は、ページインクリメント機能を有している。このページインクリメント機能は、データレジスタからの1ページ分のデータ読み出しが終了した時に、自動的に次ページのページリードを開始する機能である。このため、前述した先頭ページのシリアルデータ読み出しが終了すると、フラッシュEEPROMは再びビジー状態となって、2ページ目のページリードを開始する。

【0179】したがって、2ページ目以降のデータ読み出しについては、ファームウェアおよびNANDバスインタフェース19は、前述のステップA31～A37、B31～B35のアドレスサイクルを実行する必要はなく、それぞれ前述のステップA38～A41、B36、B37を繰り返すだけで良い。

【0180】次に、第2リードサイクルによって、冗長領域のデータだけを読み出す場合の動作について説明する。

【0181】この第2リードサイクルを実行する場合に必要なファームウェアおよびNANDバスインタフェース19の動作は、第1リードサイクルの場合とほとんど同じであり、違いは次の2点である。

【0182】(1) 図16のステップA35において、ファームウェアは、コマンド“00h”の代わりにコマンド“50h”を発行する。

【0183】(2) データレジスタからの2バイトのデータ読み出しでリードサイクルのシーケンスが終了する。

【0184】このため、LWCデータは第2リードサイクルを1回行うだけで読みだすことができるが、ECCデータを読み出す場合には、第2リードサイクルを3回繰り返すことが必要となる。

【0185】なお、第2リードサイクルにおいて、データレジスタのどの位置からデータを読み出すかは、アドレスサイクルで設定するカラムアドレスの値によって決定する事ができる。

【0186】次に、図18および図19を参照して、フラッシュEEPROMのブロックイレースサイクルの制御に必要なファームウェアの処理とNANDバスインタフェース19の動作について説明する。

【0187】図18はブロックイレースサイクルにおけるファームウェアの処理とNANDバスインタフェース19の動作を説明するフローチャートであり、図19はブロックイレースサイクルにおけるフラッシュEEPROMの動作を示すタイミングチャートである。

【0188】ここでは、ある特定の1ブロックの記憶内容を消去する場合を例にとって説明する。

【0189】マイクロプロセッサ14によって実行されるファームウェアは、まず、イレース対象ブロックを含むフラッシュEEPROMチップに対応するNANDチップレディー/ビジーレジスタ215-1～215-16の1つを参照して、そのイレース対象のフラッシュEEPROMチップがレディーステート(待機中)か否かを確認する(ステップA51)。レディーステートであることを確認すると、ファームウェアは、NANDチップナンバレジスタ201をI/Oライトして、そこにイレース対象フラッシュEEPROMチップに対応するチップ番号をセットする(ステップA52)。

【0190】次いで、ファームウェアは、NANDチッ

プイネーブル制御レジスタ203をI/Oライトして、そこにチップイネーブル入力(CE)をアクティブにすることを指定するCEオンコマンドをセットする(ステップA53)。

【0191】この時、NANDバスインタフェース19は、NANDチップナンバレジスタ201にセットされたチップ番号に対応するチップセレクト信号CS1～CS16の1つをアクティブにする(ステップB51)。このチップセレクト信号はイレース対象チップのチップイネーブル入力CE $\bar{}$ に供給され、これによってイレース対象チップがイネーブル状態に設定される。

【0192】次に、ファームウェアは、NANDコマンドラッチイネーブル制御レジスタ204をI/Oライトして、そこにコマンドラッチイネーブル(CLE)信号をアクティブにすることを指定するCLEオンコマンドをセットする(ステップA54)。

【0193】NANDバスインタフェース19は、CLEオンコマンドのセットにตอบสนองして、コマンドラッチイネーブル信号CLEをアクティブ状態、つまり“H”レベルに設定する(ステップB52)。

【0194】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにイレースコマンド“60h”をセットする(ステップA55)。NANDバスインタフェース19は、イレースコマンド“60h”のセットにตอบสนองして、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つイレースコマンド“60h”を入出力端子I/Oに転送する(ステップB53)。

【0195】ファームウェアは、NANDアドレスラッチイネーブル制御レジスタ205をI/Oライトして、そこにALEオンコマンドをセットする(ステップA56)。NANDバスインタフェース19は、ALEオンコマンドのセットにตอบสนองして、アドレスラッチイネーブル信号ALEをアクティブ状態、つまり“H”レベルに設定する(ステップB54)。

【0196】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにメモリアドレス(ブロックアドレスA20-A12)をセットする(ステップA57)。NANDバスインタフェース19は、アドレスのセットにตอบสนองして、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つセットされたメモリアドレスを入出力端子I/Oに転送する(ステップB55)。

【0197】この後、ファームウェアは、CLEオンコマンドを発行した後に、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにイレース開始コマンド“D0h”をセットする(ステップA58)。NANDバスインタフェース19は、まず、コマンドラッチイネーブル信号CLEをアクティブ状態に設定してからライトイネーブル信号WE $\bar{}$ をアクティブ状

態に設定し、且つイレーズ開始コマンド“D0h”を出力端子I/Oに転送する(ステップB56)。

【0198】このイレーズ開始コマンド“D0h”が転送されると、イレーズ対象のフラッシュEEPROMにおいてブロックイレーズ動作およびそのペリファイ動作が自動実行される。

【0199】ブロックイレーズ動作では、ブロックアドレスで指定されたブロックの記憶内容だけが消去される。このブロックイレーズ動作期間中そのチップからのレディー/ビジー信号(RDY/BSY)はビジー状態を示し、ブロックイレーズ動作が完了するとビジー状態からレディー状態に戻る。

【0200】ファームウェアは、イレーズしたチップに対応するNANDチップレディー/ビジーレジスタの内容によってブロックイレーズ動作の完了を確認すると(ステップA59)、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにステータスリードコマンド“70h”をセットする(ステップA60)。NANDバスインタフェース19は、ステータスリードコマンド“70h”のセットにตอบสนองして、ライトイネーブル信号WE<sup>-</sup>をアクティブ状態、つまり“L”レベルに設定し、且つステータスリードコマンド“70h”を出力端子I/Oに転送し、その後、リードイネーブル信号RE<sup>-</sup>をアクティブ状態、つまり“L”レベルに設定する(ステップB57)。

【0201】ステータスリードコマンド“70h”が転送されると、フラッシュEEPROMからはブロックイレーズ動作が成功したか否かを示すステータスデータが読み出され、それがNANDデータリード/ライトレジスタ202にセットされる。

【0202】ファームウェアは、NANDデータリード/ライトレジスタ202のステータスデータを参照してブロックイレーズ動作が成功したか否かを確認し、成功していればイレーズサイクルを終了する(ステップA61)。もし失敗した場合には、代替ブロックとの代替処理などを行う。

【0203】なお、ブロックイレーズ開始コマンド“D0h”の発行前にステップA54~A57を繰り返し実行して複数のブロックアドレスを設定すれば、複数ブロックのイレーズを順次行うマルチブロック動作を実行することもできる。

【0204】次に、図20のフローチャートを参照して、ホストシステムからライトコマンドが発行された際に行われる図1の半導体ディスク装置10全体のライト制御動作を説明する。このライト制御動作は、前述した各種の管理情報テーブルを利用する事によって行われる。

【0205】ホストシステムが外部バスインタフェース17のコマンドレジスタ176にライトコマンドをセットすると、マイクロプロセッサ14によって実行される

ファームウェアは、まず、そのライトコマンドを受け付ける(ステップA71)。次いで、ファームウェアは、ホストシステムからデータバッファ131へのライトデータの転送を開始する(ステップA72)。このデータ転送は、外部バスインタフェース17のデータレジスタ173を介して実行される。

【0206】ホストシステムによる半導体ディスク装置10のアクセスはセクタ単位で行われるので、データバッファ131には少なくとも1セクタ分のライトデータが格納される。

【0207】次いで、ファームウェアは、ホストシステムによって指定されたディスクアクセスのためのホストアドレス、つまり、セクタ番号、シリンダ番号、およびヘッド番号をセクタナンバレジスタ171、シリンダレジスタ174、およびドライブ/ヘッドレジスタ175からそれぞれ読取り、それをフラッシュEEPROM11-1~11-16をアクセスするためのアドレスに変換する(ステップA73)。このアドレス変換処理においては、図12で説明したように、アドレス変換テーブル132が利用される。このアドレス変換テーブル132のアドレス変換情報は、装置10の起動時において、フラッシュEEPROM11-1~11-16それぞれからリードしたアドレス変換テーブルのアドレス変換情報に基づいて構築されたものである。

【0208】アドレス変換処理の結果、ライトアクセス対象のチップ番号、およびライトアクセス対象チップ内のメモリアドレス(A20-A0)が求められる。

【0209】次に、ファームウェアは、メモリアドレス(A20-A0)の上位9ビット(A20-A12)で指定されるライトアクセス対象のブロック(以下、ライトブロックと称する)に対する1ブロック分のライトデータを作成するための処理(ステップA74~A78)に進む。

【0210】ここでは、ファームウェアは、まず、ライトブロック用のヘッダテーブルエリアをRAM13上に確保する(ステップA74)。次に、ファームウェアは、ライトブロックの先頭ページからLWCデータをリードする(ステップA75)。このLWCデータのリード処理では、前述したコマンド“50h”を用いた第2リードサイクルが実行され、これによってライトブロックの先頭ページからLWCデータだけが読み出される。このLWCデータは、RAM13の空きエリアまたはデータバッファ131に格納される。

【0211】この後、ファームウェアは、ライトブロックに“巻き添え消去”データが存在するか否かを調べる(ステップA76)。ここで、“巻き添え消去”データとはライトブロックに存在するデータの中でホストシステムによって書換が要求されていないデータを意味する。このため、ライトブロック内の全てのページに対する書込みが要求された場合には“巻き添え消去”データは存

在しないが、ライトブロック内の途中のページから書込みが開始される場合や、ライトデータのデータレングスが1ブロック(8セクタ)よりも少ない場合などには“巻き添え消去”データが存在する事になる。

【0212】“巻き添え消去”データが存在する場合には、ファームウェアは、コマンド“00h”を用いた第1リードサイクルを実行することによって、ライトブロックから“巻き添え消去”データを含むページをリードする(ステップA77)。この“巻き添え消去”データを含むページは、RAM13の空きエリアやデータバッファ131に格納される。

【0213】次いで、ファームウェアは、リードした“巻き添え消去”データのRAM13上の格納位置を示すRAMアドレスと、ホストシステムからのライトデータが格納されているRAM13上の格納位置を示すRAMアドレスとに基づいて、ライトブロックに書き込むべき1ブロック分のブロックデータに対応するヘッダテーブルを作成する。

【0214】すなわち、ファームウェアは、実際にデータを結合して1ブロック分のブロックデータを生成するのではなく、“巻き添え消去”データのRAM13上のアドレスとライトデータのデータバッファ131上のアドレスとをページ番号順に整列して保持するヘッダテーブル133を作成し、これによって仮想的なブロックデータを構築する(ステップA78)。

【0215】次いで、ファームウェアは、ライトブロックからリードしたLWCデータの値を+1カウントアップすることにより、そのLWCデータの値を更新する(ステップA79)。この時、もしLWCデータの値に桁上り(キャリー)が発生しなければ、ファームウェアは、ライトブロックに対するライトアクセス処理を実行する(ステップA80、A81)。

【0216】このライトアクセス処理では、まず、ライトブロックに対して図18で説明したブロックイレースサイクルが実行されて、ライトブロックの内容が全て消去される。次いで、ライトブロックの全ページに対して図14で説明したプログラムサイクルが実行される。このプログラムサイクルでは、ファームウェアは、まず、更新したLWCデータをNANDバスインタフェース19のLWCレジスタ208にセットし、次いで、ヘッダテーブル133に保持されているアドレス順にRAM13から256バイト単位で1ブロック分のデータを読み出し、それをフラッシュEEPROMに転送する。このように、ヘッダテーブル133を利用することにより、ファームウェアはライトデータと“巻き添え消去”データとを区別することなくデータ転送を行う事ができる。

【0217】転送される各256バイトのデータにはNANDバスインタフェース19によって自動的にECCデータが付加され、それがライト対象フラッシュEEPROMのライトブロックの対応するページに書き込まれ

る。

【0218】一方、LWCデータの値に桁上りが発生した場合には、ファームウェアは、スワッピング操作を実行するか否かを検討するために、以下の処理を行う。

【0219】すなわち、ファームウェアは、まず、第1リードサイクルを実行することによって、ライト対象のフラッシュEEPROMからMBIテーブルブロックをリードする(ステップA82)。リードされたMBIテーブルブロックの内容は、RAM13の空きエリアに格納される。

【0220】次いで、ファームウェアは、リードしたMBIテーブルブロックを検索してライトブロックに対応するUWCデータを検出し、そのUWCデータの値を更新、つまり+1カウントアップする(ステップA83)。MBIテーブルブロックにおいては、図8で説明したように、UWCデータは物理ブロックアドレス順に整列されて保持されている。このため、ファームウェアは、ライトブロックを示す物理ブロックアドレスをインデックスとして利用する事により、ライトブロックに対応するUWCデータを容易に見つける事ができる。

【0221】更新されたUWCデータの値は、MBIテーブルブロックと書換回数管理テーブル134双方に反映される。

【0222】この後、ファームウェアは、更新されたライトブロックのUWCデータの値をライト対象チップの最小UWCデータの値、および他の各チップの最小UWCデータの値と、順次比較する(ステップA84)。

【0223】ライト対象チップの最小UWCデータの値としては、ライト対象チップからリードしたMBIテーブルブロック内のスワップオーダーテーブルに保持されている最小UWCデータの値が利用される。これにより、RAM13上の書換回数管理テーブル134をUWCデータの小さい順にソーティングするといった処理を行うことなく、ライト対象チップの最小UWCデータの値を容易に知るができる。

【0224】また、他の各チップの最小UWCデータの値としては、RAM13上の書換回数管理テーブル134の値が利用される。この書換回数管理テーブル134の値を利用することにより、ライト対象チップ以外の他の全てのチップそれぞれからMBIテーブルブロックを順次リードする必要がなくなり、効率の良いスワッピング検討処理が実現される。

【0225】次いで、ステップA84の比較結果に基づき、ファームウェアは、ライトブロックの更新されたUWCデータとライト対象チップの最小UWCデータとの値の差が予め決められたしきい値( $\alpha$ )以上であるかを調べ(ステップA85)、その差が $\alpha$ 以上であれば、ライト対象チップ内でのスワッピング操作を行う(ステップA86)。

【0226】このチップ内スワッピング操作において



は、ファームウェアは、まず、ライト対象チップから被スワッピング対象のブロックをリードする。この場合、被スワッピング対象のブロックは最小UWCの値を持つブロックであり、このブロックの物理ブロックアドレスは、ステップA 8 2でリードしたMB Iテーブルブロックに含まれているスワップオーダーテーブル上の被スワッピング優先度NO. 1ブロック番号によって指定される。したがって、ファームウェアは、UWCデータのソーティングを行うこと無く、被スワッピング対象のブロックを簡単に決定でき、またその被スワッピング対象のブロックの物理ブロックアドレスを認識する事ができる。

【0 2 2 7】次に、ファームウェアは、ライトブロックと被スワッピング対象ブロック間でホストアドレスの入れ替えを行う。この場合、RAM 1 3 2上のアドレス変換テーブル1 3 2とライト対象チップからリードしたMB Iテーブルブロック双方のアドレス変換情報が更新される。

【0 2 2 8】次に、ファームウェアは、ライト対象フラッシュEEPROMにおけるライトブロックと被スワッピング対象ブロック間の記憶内容の入れ替えのために、RAM 1 3上に吸い上げた被スワッピングブロックの内容をライト対象フラッシュEEPROMのライトブロックに書き込むためのライトアクセスと、フラッシュEEPROMの被スワッピングブロックにRAM 1 3上の1ブロック分のライトデータを書き込むためのライトアクセスを行う。この後、ファームウェアは、ライト対象フラッシュEEPROMにおけるMB Iテーブルブロックの更新のために、ライト対象フラッシュEEPROMにおけるMB IテーブルブロックにRAM 1 3上の更新されたMB Iテーブルブロックの内容を書き込むためのライトアクセスを行う。これら3回のライトアクセスは、それぞれステップA 8 1で説明した場合と同様の形態で実行される。

【0 2 2 9】次に、ステップA 8 6においてライトブロックの更新されたUWCデータとライト対象チップの最小UWCデータとの値の差が $\alpha$ 未満であった場合の処理について説明する。

【0 2 3 0】この場合、ファームウェアは、ライトブロックの更新されたUWCデータと他のいずれかのチップの最小UWCデータとの値の差が予め決められたしきい値( $\alpha + \beta$ )以上であるか否かを調べ(ステップA 8 7)、その差が $\alpha + \beta$ 以上であれば、ライト対象チップとその最小UWCデータの値を持つチップとの間でのスワッピング操作を行う(ステップA 8 8)。

【0 2 3 1】このチップ間に互るスワッピング操作においては、ファームウェアは、まず、被スワッピング対象のブロックを持つチップからMB IテーブルブロックをRAM 1 3上にリードし、そのMB Iテーブルブロックに含まれているスワップオーダーテーブル上の被スワッ

ピング優先度NO. 1ブロック番号を認識する。

【0 2 3 2】次いで、ファームウェアは、被スワッピング優先度NO. 1ブロック番号が示す物理ブロックアドレスを用いて、その被スワッピング対象チップから被スワッピング対象ブロックをリードする。

【0 2 3 3】次に、ファームウェアは、ライトブロックと被スワッピング対象ブロック間でホストアドレスの入れ替えを行う。この場合、RAM 1 3 2上のアドレス変換テーブル1 3 2と、ライト対象チップからリードしたMB Iテーブルブロックと、被スワッピング対象チップからリードしたMB Iテーブルブロックのそれぞれのアドレス変換情報が更新される。

【0 2 3 4】次に、ファームウェアは、ライト対象フラッシュEEPROMにおけるライトブロックと被スワッピング対象チップの被スワッピング対象ブロック間の記憶内容の入れ替えのために、RAM 1 3上に吸い上げた被スワッピングブロックの内容をライト対象フラッシュEEPROMのライトブロックに書き込むためのライトアクセスと、被スワッピング対象フラッシュEEPROMの被スワッピングブロックにRAM 1 3上の1ブロック分のライトデータを書き込むためのライトアクセスを行う。この後、ファームウェアは、ライト対象フラッシュEEPROM被スワッピング対象フラッシュEEPROMそれぞれのMB Iテーブルブロックを更新するために、ライト対象フラッシュEEPROMにおけるMB IテーブルブロックにRAM 1 3上の更新されたMB Iテーブルブロックの内容を書き込むためのライトアクセスと、被スワッピング対象フラッシュEEPROMにおけるMB IテーブルブロックにRAM 1 3上の更新されたMB Iテーブルブロックの内容を書き込むためのライトアクセスとを行う。これら4回のライトアクセスは、それぞれステップA 8 1で説明した場合と同様の形態で実行される。

【0 2 3 5】このように、スワッピング操作はチップ内、又はチップ間で実行され、チップ間スワッピングの場合はチップ内スワッピングの場合よりも、リードアクセス操作およびライトアクセス操作がそれぞれ1回ずつ多く必要となる。

【0 2 3 6】しかしながら、この実施例では、スワッピングを行うか否かを決定するためのしきい値( $\alpha + \beta$ )は、チップ内のスワッピング操作を行う場合のしきい値( $\alpha$ )よりも大きな値に設定されているので、チップ内スワッピングに比べチップ間スワッピングの発生頻度を抑制する事ができる。よって、チップ間スワッピング操作の多発による性能低下を防止する事ができる。

【0 2 3 7】ステップA 8 5、およびA 8 7で共に置き換え回数の差が所定のしきい値よりも小さい場合には、ファームウェアは、ステップA 8 3で更新されたUWCデータを含むMB Iテーブルブロックをライト対象のフラッシュEEPROMに書き込むためのライトアクセス

を行い（ステップA89）、次いで、ライトブロックに対するライトアクセス処理を実行する。これらライトアクセスは、それぞれステップA81で説明した場合と同様の形態で実行される。

【0238】以上のように、LWCデータの桁上りが発生しない場合にはスワッピング処理の検討がなされずに直ぐにライトアクセスが行われるので、桁上りが発生した場合よりもデータ書込みに要する全体の時間を短縮する事ができる。

【0239】LWCデータの値はライトアクセスの度にその初期値から+1ずつカウントアップされ、そして1K回に達した時に桁上りが発生する。このため、ディスク製造時や出荷時においてフラッシュEEPROM11-1~11-16に含まれる全てのブロックに書き込むLWCデータの初期値としては、同一の値ではなく、それぞれ異なる離散的な値を利用することが好ましい。この場合、連続ブロックに対するライトアクセスが継続的に発生したとしても桁上りが発生する時期がブロック毎にずれるので、桁上りに起因するスワッピングの検討処理およびスワッピング処理が集中して発生するという事態を防止する事ができる。

【0240】以上説明したように、この実施例においては、ECC演算回路21によってページ毎にECCデータが生成され、そのECCデータがECC演算の対象となったデータ列と同一のページに書き込まれる。このため、たとえフラッシュEEPROMの複数ページそれぞれの同一ビット位置に不良セルが発生しても、ECC演算の対象となるデータ列に含まれる不良セルは1つだけとなる。したがって、データ回復能力の高い複雑なECC演算式を利用することなく通常の簡単なECC演算によってエラー検出および訂正を行うことが可能となり、記憶信頼性が高く、且つ高速アクセスが可能な半導体ディスク装置10が実現される。

【0241】また、各ブロックの先頭ページの冗長領域には、そのブロックに対応する書換回数情報としてLWCデータが格納されており、ライト対象ブロックに対するデータ書込みの際に、そのLWCデータの値が更新される。その更新されたLWCデータは、先頭ページに書き込むべきライトデータに付加されてフラッシュEEPROMのデータレジスタ112に転送される。このように、各ブロック内でLWCデータが管理されているので、同一ブロックに対するライトアクセスだけで、データ書込みとLWCデータの更新を行う事ができ、結果的にライトアクセス性能の向上を図る事ができる。

【0242】

【発明の効果】以上説明したように、この発明によれば、フラッシュEEPROMの各ページの冗長領域を利用してECCや書換回数情報を管理することによって、十分な記憶データの信頼性およびフラッシュEEPROMの高寿命化を実現することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ディスク装置の構成を示すブロック図。

【図2】図1の半導体ディスク装置において使用されるNAND型フラッシュEEPROMの構造を示す図。

【図3】図1の半導体ディスク装置に設けられているI/Oレジスタ群を示す図。

【図4】図1の半導体ディスク装置におけるメモリマップの一例を示す図。

【図5】図1の半導体ディスク装置に設けられたフラッシュEEPROM内の複数ブロックそれぞれの利用形態を示す図。

【図6】図5に示したブロックの中でユーザデータの格納に使用されるメモリブロックのデータ格納形式を示す図。

【図7】図5に示したブロックの中でメモリブロック管理情報の格納に使用されるMBIテーブルブロックのデータ格納形式を示す図。

【図8】図7のMBIテーブルブロックに格納されるアドレス変換およびUWCテーブルの内容を示す図。

【図9】図7のMBIテーブルブロックに格納されるスワップオーダーテーブルの内容を示す図。

【図10】図5に示したブロックの中で図1の半導体ディスク装置のコンヒグ情報の格納に使用されるコンヒグブロックのデータ格納形式を示す図。

【図11】図1の半導体ディスク装置のRAM上に設けられるアドレス変換テーブルの構成を示す図。

【図12】図11のアドレス変換テーブルを利用したホストアドレスからメモリアドレスへの変換処理の原理を説明するための図。

【図13】図1の半導体ディスク装置に設けられたECC演算回路の動作を説明するための図。

【図14】図1の半導体ディスク装置においてフラッシュEEPROMにデータを書き込む場合のファームウェアの処理とハードウェアの動作を説明するフローチャート。

【図15】図1の半導体ディスク装置に設けられたフラッシュEEPROMのプログラムサイクルを説明するタイミングチャート。

【図16】図1の半導体ディスク装置においてフラッシュEEPROMからデータを読み出す場合のファームウェアの処理とハードウェアの動作を説明するフローチャート。

【図17】図1の半導体ディスク装置に設けられたフラッシュEEPROMのシーケンシャルリードサイクルを説明するタイミングチャート。

【図18】図1の半導体ディスク装置においてフラッシュEEPROMに格納されたデータを消去する場合のファームウェアの処理とハードウェアの動作を説明するフローチャート。

【図19】図1の半導体ディスク装置に設けられたフラッシュEEPROMのブロックイレーズサイクルを説明するタイミングチャート。

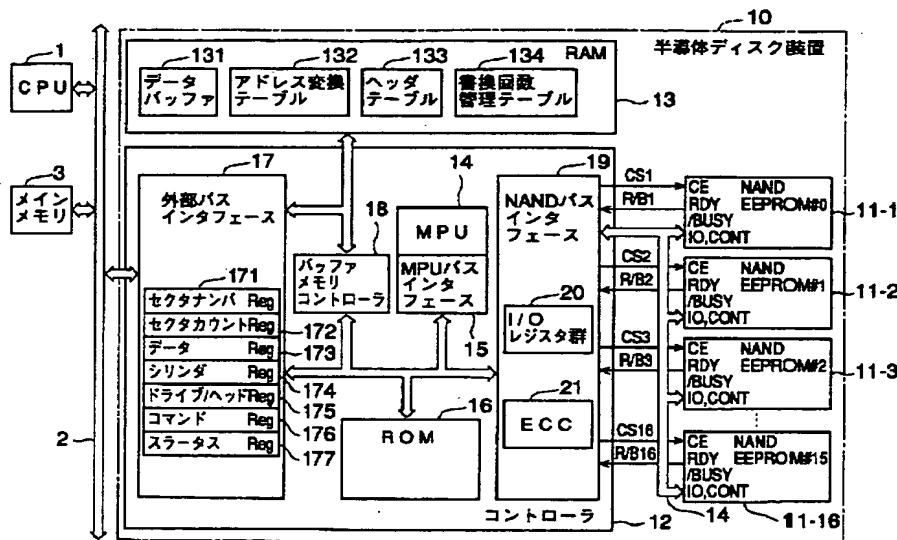
【図20】図1の半導体ディスク装置においてホストシステムからのライト要求を受信してからフラッシュEEPROMをライトアクセスするまでに実行されるファームウェアの処理を説明するフローチャート。

【図21】従来の半導体ディスク装置によるフラッシュEEPROMに対するデータ格納形式を示す図。

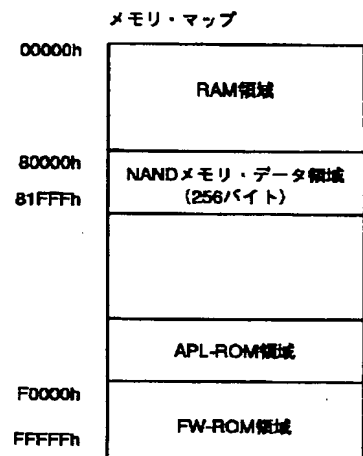
#### 【符号の説明】

10…半導体ディスク装置、11-1～11-16…NAND型フラッシュEEPROM、12…コントローラ、13…RAM、14…マイクロプロセッサ、16…ROM、17…外部バスインタフェース、19…NANDバスインタフェース、21…ECC演算回路、131…データバッファ、132…アドレス変換テーブル、133…ヘッダテーブル、134…書換回数管理テーブル。

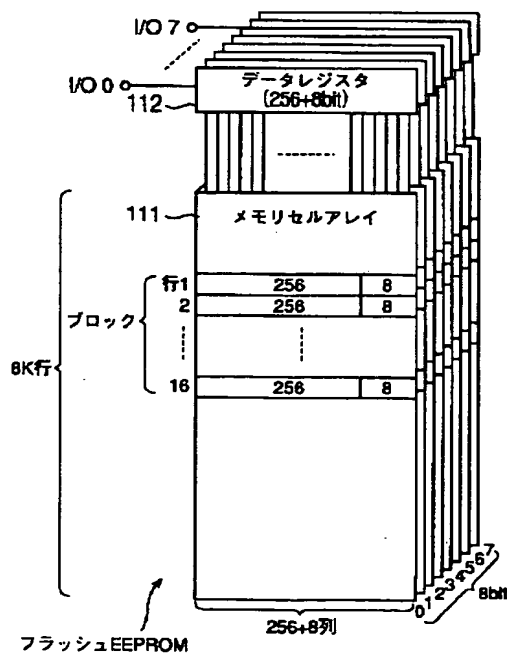
【図1】



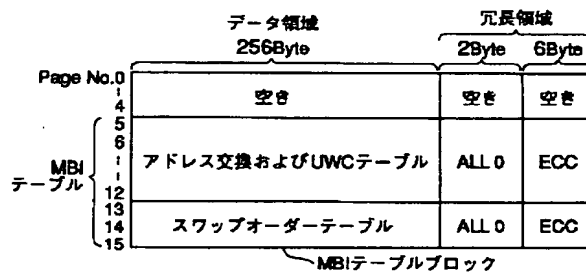
【図4】



【図2】



【図7】



【图 8】

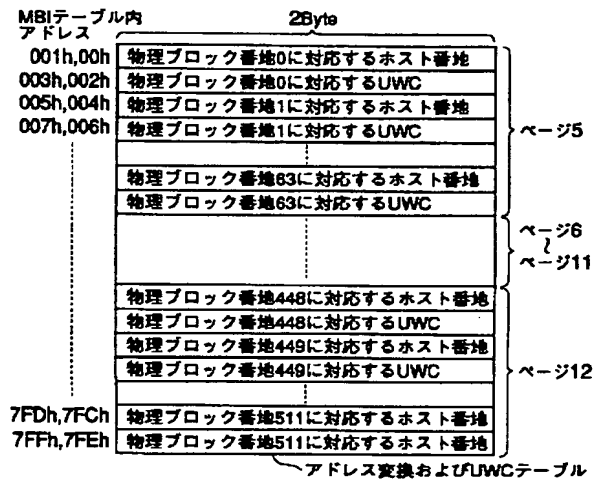
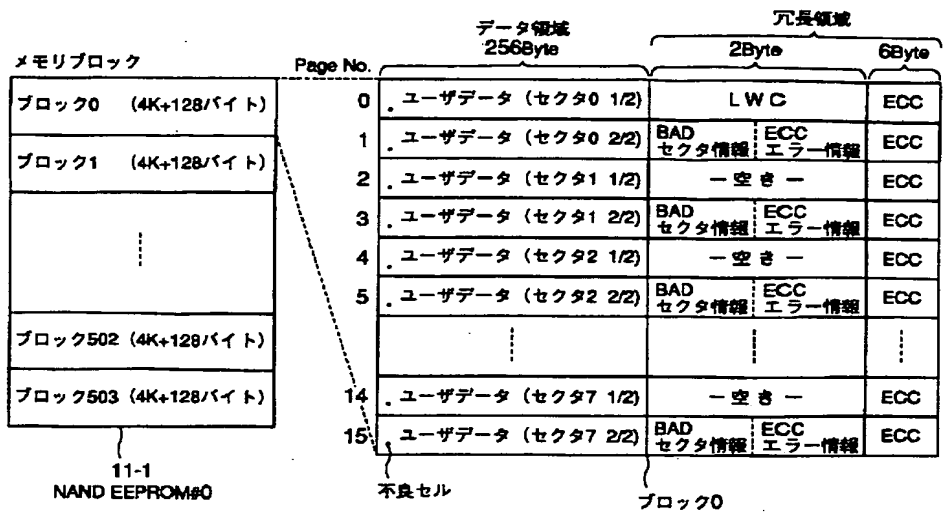


Figure 1 illustrates the address map for NAND EEPROMs. The diagram is divided into three parts: (a) NAND EEPROM#0, (b) NAND EEPROM#1, and (c) NAND EEPROM#15. Each part shows a vertical stack of memory blocks with corresponding address ranges.

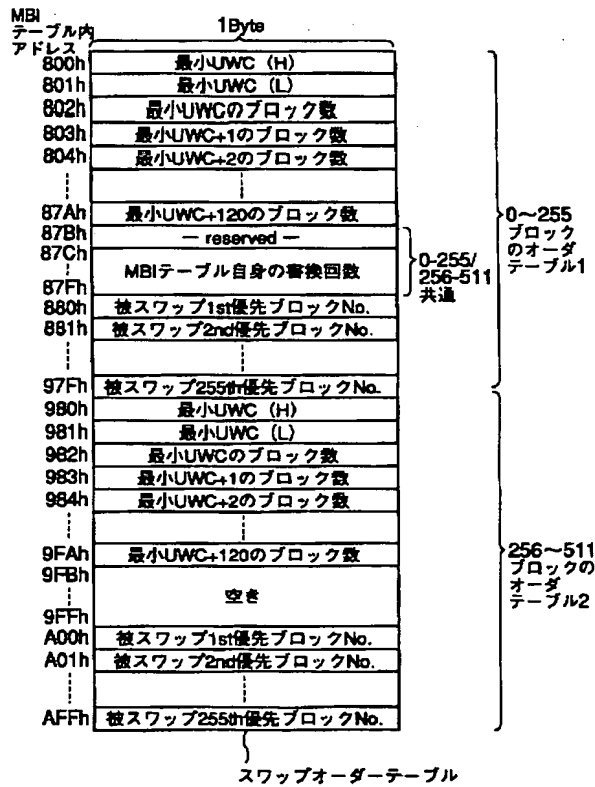
- (a) NAND EEPROM#0:**
  - Addresses 0 to 503: メモリブロック (Memory Block)
  - Address 504: MBIテーブルブロック (MBI Table Block)
  - Addresses 505 to 509: 代替ブロック (Replacement Block)
  - Address 510: コンフィグ用代替ブロック (Config Replacement Block)
  - Address 511: コンフィグブロック (Config Block)
- (b) NAND EEPROM#1:**
  - Addresses 0 to 503: メモリブロック (Memory Block)
  - Address 504: MBIテーブルブロック (MBI Table Block)
  - Addresses 505 to 507: 代替ブロック (Replacement Block)
  - Address 511: コンフィグブロック (Config Block)
- (c) NAND EEPROM#15:**
  - Addresses 0 to 503: メモリブロック (Memory Block)
  - Address 504: MBIテーブルブロック (MBI Table Block)
  - Addresses 505 to 507: 代替ブロック (Replacement Block)
  - Address 511: コンフィグブロック (Config Block)

A dashed line connects the MBI Table Block of (b) to the MBI Table Block of (c), indicating a shared or linked structure.

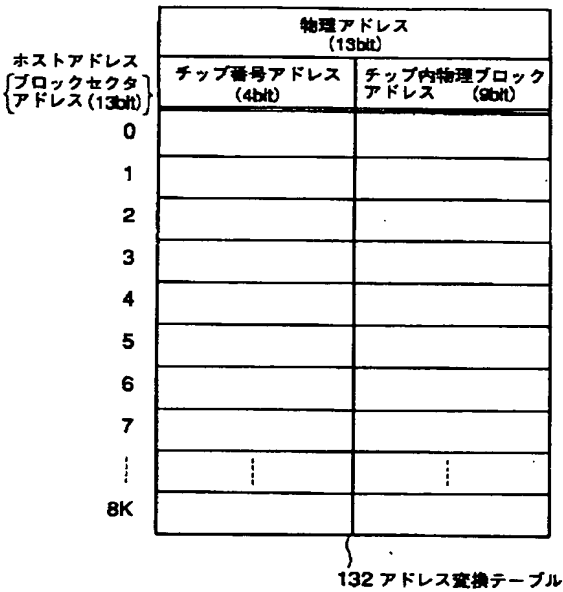
【図6】



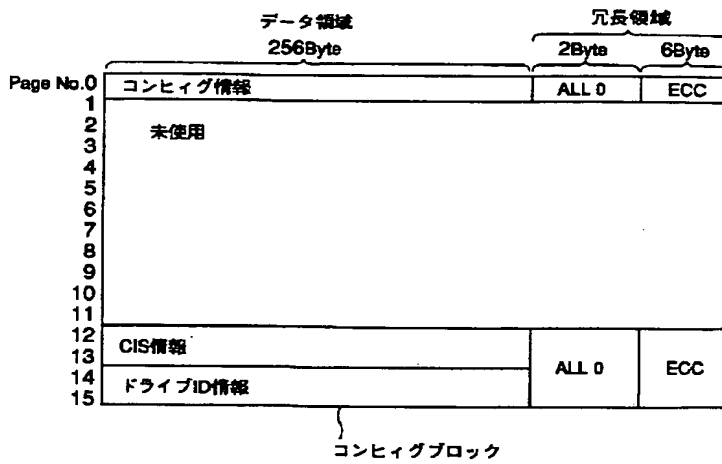
【図9】



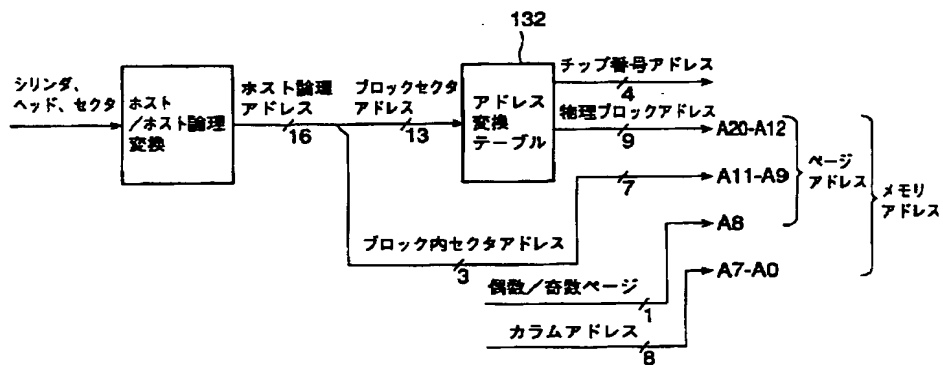
【図11】



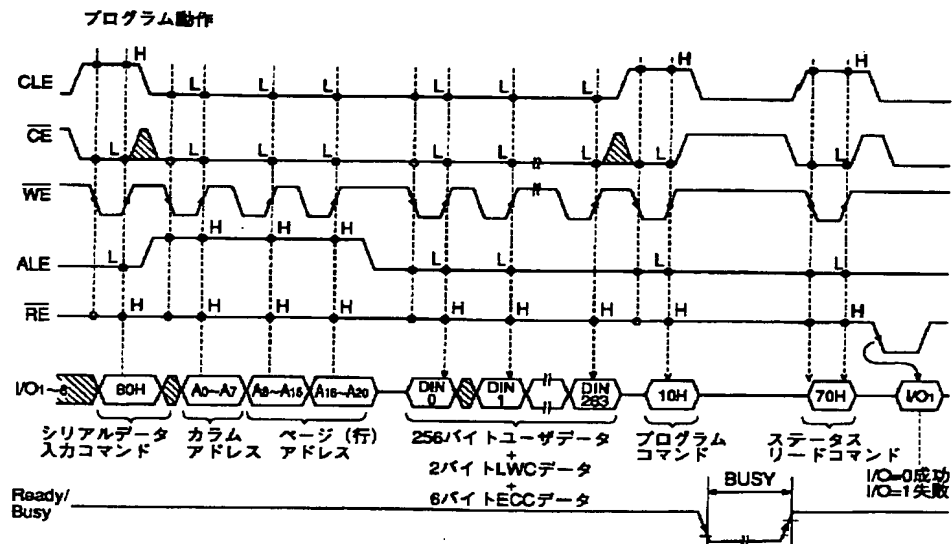
【図10】



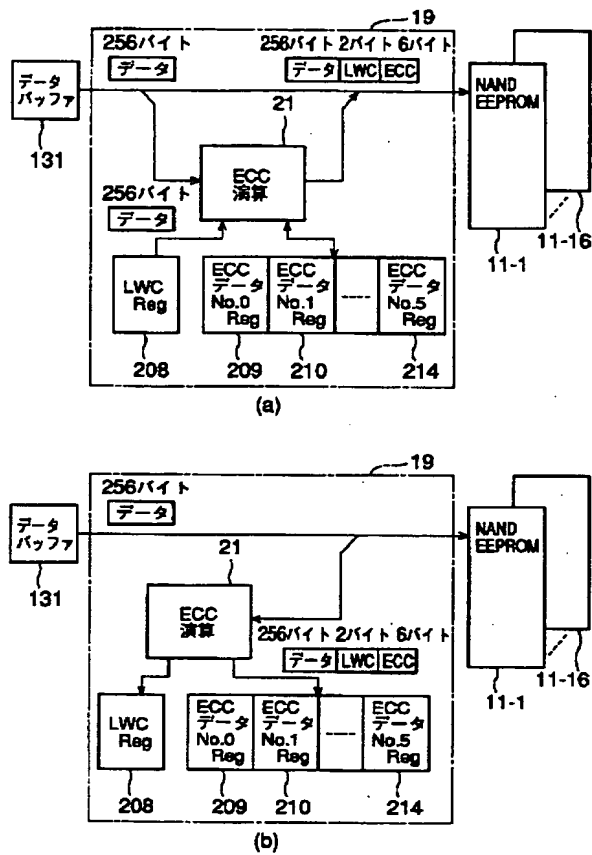
【図12】



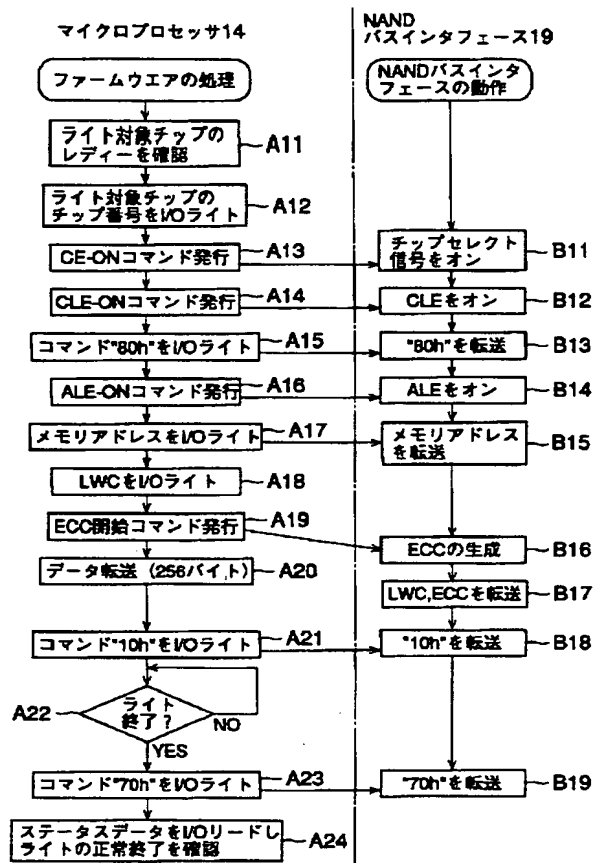
【図15】



【図 13】

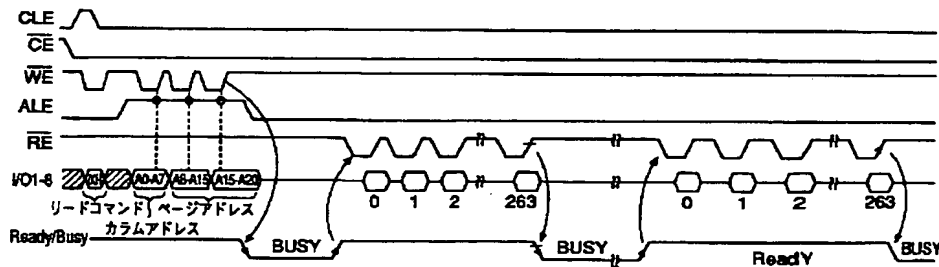


【図 14】

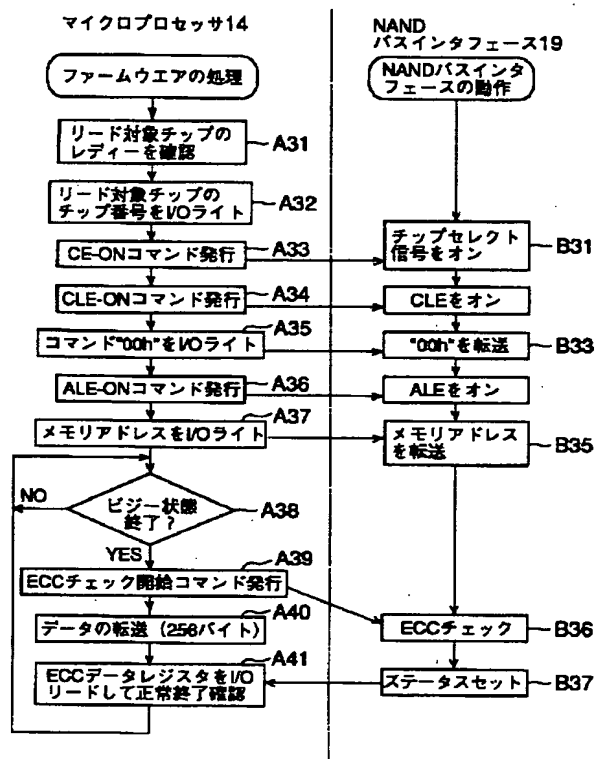


【図 17】

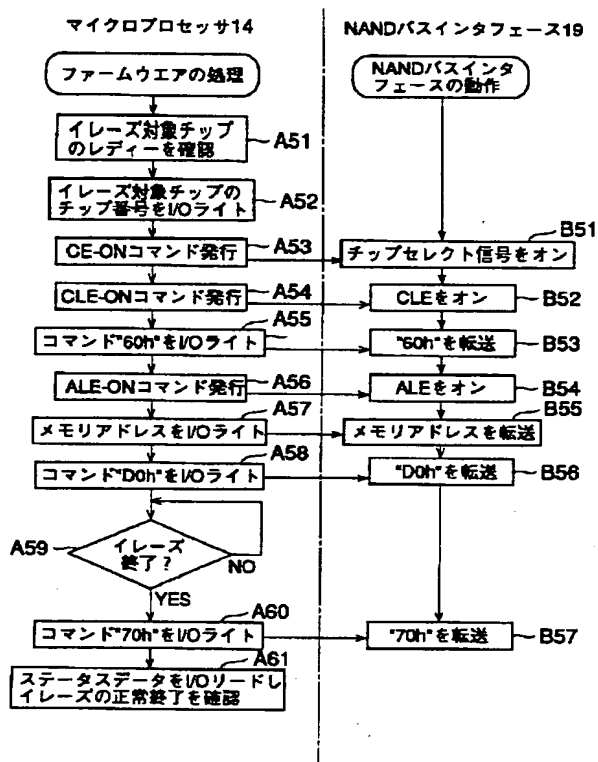
シーケンシャルリード動作



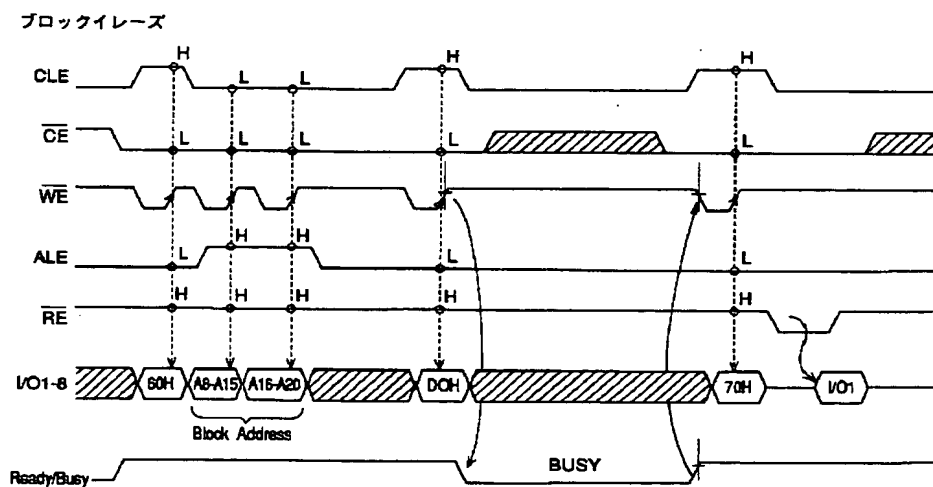
【図16】



【図18】

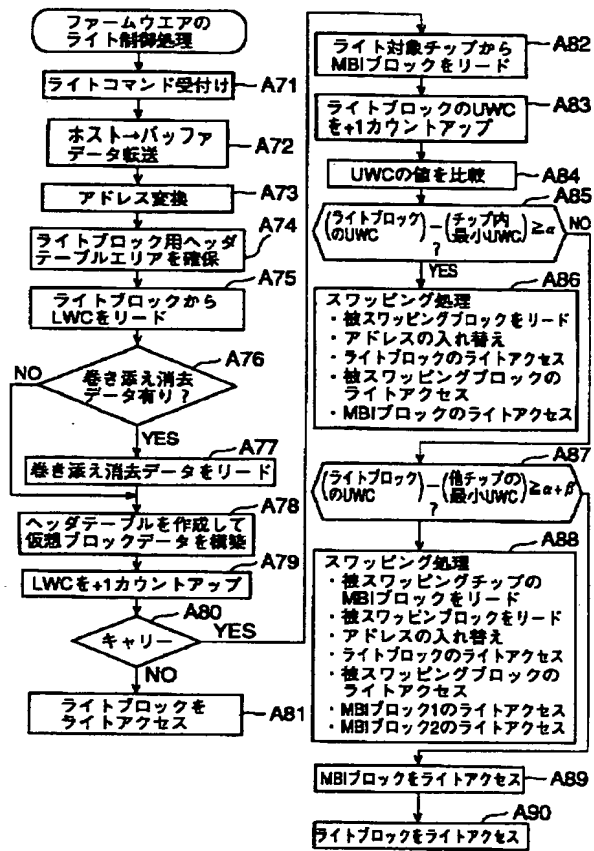


【図19】





【図20】



【図21】

